



Attorney's Docket No.: 07977/286001/US5247

176

#7
5-9-02

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : S. Yamazaki, et al. Art Unit : 1763
Serial No.: 09/966,689 Examiner : Unknown
Filed : September 27, 2001
Title : DRY ETCHING APPARATUS, ETCHING METHOD AND METHOD OF
FORMING A WIRING

Commissioner for Patents
Washington, D.C. 20231

TRANSMITTAL OF PRIORITY DOCUMENT UNDER 35 USC §119

Further to the above-referenced application filed on September 27, 2001, Applicants hereby confirm their claim of priority under 35 USC §119 from Japanese Application No. 2000-305564, filed October 4, 2000, a certified copy of which was filed with the application.

Applicant hereby submits a certified copy of a further priority document under 35 USC §119 from Japanese Application No. 2001-289534, filed September 21, 2001. Also submitted herewith is a fresh Declaration and Power of Attorney executed by the inventors setting forth the above details.

COPY OF PAPERS
ORIGINALLY FILED

RECEIVED

MAY 02 2002

TC 1700

CERTIFICATE OF MAILING BY FIRST CLASS MAIL

I hereby certify under 37 CFR §1.8(a) that this correspondence is being deposited with the United States Postal Service as first class mail with sufficient postage on the date indicated below and is addressed to the Commissioner for Patents, Washington, D.C. 20231.

April 9, 2002

Date of Deposit

Signature

Susan Regan


Typed or Printed Name of Person Signing Certificate

Please apply any charges or credits to Deposit Account

No. 06-1050.

Respectfully submitted,

Date: 4/9/02



Scott C. Harris
Reg. No. 32,030

SCH/smr

PTO Customer No. 20985
Fish & Richardson P.C.
4350 La Jolla Village Drive, Suite 500
San Diego, CA 92122
Telephone: (858) 678-5070
Facsimile: (858) 678-5099

10176070.doc



本 国 特 許 庁
JAPAN PATENT OFFICE

#7
59-02

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 9月21日

出 願 番 号

Application Number:

特願2001-289534

[ST.10/C]:

[JP2001-289534]

出 願 人

Applicant(s):

株式会社半導体エネルギー研究所

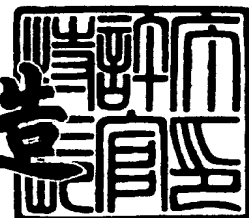
COPY OF PAPERS
ORIGINALY FILED

RECEIVED
MAY 02 2002
TC 1700

2002年 2月22日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2002-3009616

【書類名】 特許願

【整理番号】 P005973

【提出日】 平成13年 9月21日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 H01L 21/00

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 山崎 舜平

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 須沢 英臣

【特許出願人】

【識別番号】 000153878

【氏名又は名称】 株式会社半導体エネルギー研究所

【代表者】 山崎 舜平

【先の出願に基づく優先権主張】

【出願番号】 特願2000-305564

【出願日】 平成12年10月 4日

【手数料の表示】

【予納台帳番号】 002543

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 ドライエッチング装置、エッチング方法、及び配線の形成方法

【特許請求の範囲】

【請求項 1】

減圧されたチャンバー内に反応ガスを供給し、第 1 の電極と第 2 の電極との間に発生するプラズマによって、前記第 2 の電極上に配置された基板上の被エッチング材料膜をエッチングするドライエッチング装置であって、
前記第 2 の電極は、各々独立した複数の電極からなり、該電極の各々に高周波電源が独立して接続されていることを特徴とするドライエッチング装置。

【請求項 2】

減圧されたチャンバー内に反応ガスを供給し、第 1 の電極と第 2 の電極との間に交流電界を印加して発生するプラズマによって、前記第 2 の電極上に配置された基板上の被エッチング材料膜をエッチングするドライエッチング装置であって、
前記第 1 の電極は平面状のコイルからなり、第 1 の高周波電源が接続され、
前記第 2 の電極は、各々独立した複数の電極からなり、該電極の各々に第 2 の高周波電源が独立して接続されていることを特徴とするドライエッチング装置。

【請求項 3】

請求項 1 または請求項 2 において、前記第 2 の電極を構成する複数の電極は、基板の中心部の下方に配置された電極と、基板の角部の下方に配置された電極とを有することを特徴とするドライエッチング装置。

【請求項 4】

請求項 3 において、前記基板の中心部の下方に配置された電極の面積は、前記基板の角部の下方に配置された電極の面積より大きいことを特徴とするドライエッチング装置。

【請求項 5】

請求項 1 または請求項 2 において、前記第 2 の電極を構成する複数の電極は、互いに同形同寸であることを特徴とするドライエッチング装置。

【請求項 6】

請求項 1 乃至 5 のいずれか一において、前記第 2 の電極を構成する複数の電極の

うち、基板の中心部の下方に配置された電極に印加される高周波電力と、基板の角部の下方に配置された電極に印加される高周波電力は異なることを特徴とするドライエッチング装置。

【請求項 7】

請求項 1 乃至 6 のいずれか一において、前記第 2 の電極を構成する複数の電極のうち、基板の中心部の下方に配置された電極に印加される高周波電力の周波数と、基板の角部の下方に配置された電極に印加される高周波電力の周波数は同一であることを特徴とするドライエッチング装置。

【請求項 8】

請求項 1 乃至 7 のいずれか一において、前記基板は 0.3 m^2 以上の面積を有することを特徴とするドライエッチング装置。

【請求項 9】

対向する第 1 の電極と第 2 の電極とを備えたドライエッチング装置を使用するエッチング方法において、

チャンバー内に設けられた複数の電極からなる第 2 の電極上に基板を配置し、減圧されたチャンバー内に反応ガスを供給し、

前記第 2 の電極を構成する複数の電極のうち、基板の中心部の下方に配置された電極に第 1 の高周波電力を印加し、基板の角部の下方に配置された電極に第 2 の高周波電力を印加して、前記第 1 の電極と前記第 2 の電極との間に交流電界を印加することによりプラズマを発生させて、前記複数の電極上に配置された基板上の被エッチング材料膜をエッチングすることを特徴とするエッチング方法。

【請求項 10】

請求項 9 において、前記第 1 の高周波電力の周波数と前記第 2 の高周波電力の周波数は同一であることを特徴とするエッチング方法。

【請求項 11】

請求項 9 または請求項 10 において、前記ドライエッチング装置は、平行平板型エッチング装置あるいは ICP 型エッチング装置であることを特徴とするエッチング方法。

【請求項 12】

ドライエッチング装置を使用するエッチング方法において、

チャンバー内に設けられた複数の電極上に基板を配置し、

減圧されたチャンバー内に反応ガスを供給し、

前記複数の電極のうち、基板の中心部の下方に配置された電極に第 1 の高周波電力を印加し、基板の角部の下方に配置された電極に第 2 の高周波電力を印加し

、
磁界または電界によりプラズマを発生させて、前記複数の電極上に配置された基板上の被エッチング材料膜をエッチングすることを特徴とするエッチング方法

【請求項 1 3】

請求項 1 2 において、前記ドライエッチング装置は、マグネトロン型エッチング装置、ECR 型エッチング装置、ヘリコン型エッチング装置のいずれかであることを特徴とするエッチング方法。

【請求項 1 4】

基板上に導電膜を形成し、

前記導電膜上にマスクを選択的に形成し、

対向する第 1 の電極と第 2 の電極とを備えたドライエッチング装置のチャンバー内に設けられた複数の電極からなる第 2 の電極上に、前記基板を配置し、

減圧されたチャンバー内に反応ガスを供給し、

前記第 2 の電極を構成する複数の電極のうち、基板の中心部の下方に配置された電極に第 1 の高周波電力を印加し、基板の角部の下方に配置された電極に第 2 の高周波電力を印加して、前記第 1 の電極と前記第 2 の電極との間に交流電界を印加することによりプラズマを発生させて、前記複数の電極上に配置された基板上の導電膜を選択的にエッチングすることを特徴とする配線の形成方法。

【請求項 1 5】

請求項 1 4 において、前記配線は、TFT のゲート電極またはゲート配線であることを特徴とする配線の形成方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明はドライエッチング装置、特に減圧チャンバー内に導入した反応ガスに磁界または電界を印加することにより発生するプラズマを用いたエッチング装置、およびエッチング方法に関する。

【0002】

【従来の技術】

従来では、ドライエッチング装置の処理能力に限界があり、生産性の向上という点で問題があった。

【0003】

生産効率を向上させるため、マザーガラスサイズは年々大きくなっており、現状で使用されている大きな基板としては、550mm×650mmのサイズや650mm×830mmのサイズが用いられている。将来的には850mm×950mmのサイズや950mm×1000mmのサイズが用いられるようになると予想される。

【0004】

従来では、被処理基板のサイズが大きくなるにつれてエッチングの面内均一性が低下してしまうという傾向が生じていた。

【0005】

また、被処理基板の表面全体を均一にエッチング処理する技術として特開平10-326772号公報がある。同公報は平行平板型エッチング装置であって、下部電極をリング状に分割するとともに上部電極との間に印加する交流電界の周波数を変化させている。従って、分割された下部電極には低周波電源または高周波電源が接続されている。

【0006】

【発明が解決しようとする課題】

本発明者らは、四角形の基板（正方形、長方形など）を用いてドライエッチングを行った場合、四角形の基板特有のバラツキが基板面内で生じることを見出した。

【0007】

ここで、従来の平行平板型のドライエッチング装置を使用したエッチング方法を例にあげて説明する。

【 0 0 0 8 】

表 1 に R I E 法による平行平板型のドライエッチング装置（電極サイズ 5 0 c m × 5 0 c m）を用いた基板内でのエッチングのバラツキを測定した実験結果を示す。

【 0 0 0 9 】

【表 1】

基板面内の各ポイント(A~I)におけるSiO₂/a-Siの選択比

	A	B	C	D	E	F	G	H	I
サンプル1	39	23.7	78	25.5	15.3	10.4	71.8	11.4	7.4
サンプル2	30.4	13.9	19.8	82.7	22.3	7	9.9	73.7	10.7
サンプル3	59	83.1	16.3	30.1	27.9	66	7.8	7.8	108
サンプル4	45.1	23.9	30.1	16.9	106.9	10.5	7.4	11.8	11.4

エッチング条件: CHF₃ = 35 sccm、800W、400sec

選択比の平均値: 34.1、選択比の最小値 7、選択比の最大値 107.6

【 0 0 1 0 】

表 1 に示したのは、図 2 1 (A) に示す位置 (A ~ I) における酸化シリコン膜と非晶質シリコン膜との選択比を示したものである。4 枚のサンプルを図 2 1 (B) に示すように電極上に配置してエッチングを行った。エッチングガスとしては CHF₃ を使い、流量を 3 5 s c c m、8 0 0 W（電力パワー密度 0. 3 2 W / c m²）、4 0 0 秒でのエッチングを行って 4 枚のサンプルの各ポイントでの比較を行った。

【 0 0 1 1 】

表 1 より電極の中央部に位置する測定ポイントの選択比が最も均一な値（3 0 . 4 ~ 5 9）を示している。一方、電極の中央部から離れるに従って、電極の角部に位置する測定ポイントの選択比は非常に低くなっている。即ち、図 2 1 (B) に示す配置された 4 枚のうち、1 枚の基板での基板内では、選択比のバラツキが生じる結果となる。例にとると、サンプル 1 の基板において、電極の中央部に最も近いポイント G は、選択比が 7 1 . 8 であるのに対し、電極の中央部から最も離れたポイント I は選択比が 7 . 4 となっており、約十倍近く差が生じてしまっている。

【 0 0 1 2 】

本発明者らの経験上、エッチングの選択比は電極中心が最も大きく、電極中央部から離れるに従って、同心円状に選択比が低下している。このように、均一な電力パワー密度で表面全面がエッチングされているはずであるのに、エッチングのバラツキが生じる結果となっている。即ち、四角形の基板を用いた場合、基板全面に印加される実質的な電力パワーが不均一となり、電極の中央部における電力パワー密度と、電極の角部における電力パワー密度とが異なる。

【 0 0 1 3 】

そのため、従来のエッチング装置を用いた場合、電極の角部における選択比が最も低く、エッチング不良が生じる。このエッチング不良が原因で歩留まりが低下するというおそれがあった。また、今後、さらに基板が大型化した場合、この問題はさらに顕著に表れてくると考えられる。電極と同じサイズの大きな基板を用いた場合、基板の中央部と、基板の角部とでバラツキが生じることとなる。ここでは1つの電極上に4枚の基板を配置した実験例を示したが、電極と同じサイズの大きな基板を用いても、2枚以上の基板を用いても同様のバラツキが生じる。

【 0 0 1 4 】

このように、電極の角部に生じるエッチング不良に関する問題は、上記公報（特開平10-326772号公報）のように円形の基板1枚を用いた場合には生じることはなかった。即ち、四角形の基板内においてエッチング不良が生じる問題は、本発明者らによってはじめて見出されたものである。

【 0 0 1 5 】

本発明はこのような問題点を解決する手段を提供することを目的とし、大型の基板を処理しうるドライエッチング装置を提供することを目的とする。また、四角形の被処理基板の面内均一性を高めるエッチング方法も提供する。

【 0 0 1 6 】

【課題を解決するための手段】

上記課題を解決するために、本発明は、基板を配置する電極を複数の電極で構成し、それらの電極の数と同数の高周波電源を備え、各々を独立に接続させたエッ

チング装置を用いる。また、本発明は、これらの複数の電極のうち、基板の中心部の下方に配置された電極に印加される高周波電力と、基板の角部の下方に配置された電極に印加される高周波電力を制御することによってエッチングの面内均一性を高める。

【 0 0 1 7 】

上記複数の電極に印加される高周波電力を制御する際、高周波電力における様々なパラメータ（バイアスパワー、ICPパワー、基板温度など）をそれぞれ調節することが可能であるが、ある一つのパラメータのみを調節することが望ましい。代表的には、上記複数の電極に印加される単位面積当りの高周波電力のバイアスパワー（電力パワー密度）のみをそれぞれ調節すれば、エッチング処理により得られるテーパ角やエッチング処理のエッチングレート及び選択比の均一性を向上させることができる。なお、コイル電極（石英板の面積（直径25cmの円板））と、電極面積（12.5cm×12.5cm）とを備えたICPエッチング装置において、バイアスパワーは、図11～図13に示すようにエッチング処理をコントロールすることができる。なお、図11にはテーパ角のバイアスパワー依存性、図12にはW膜及びSiON膜のエッチングレートのバイアスパワー依存性、図13にはW膜とSiON膜との選択比のバイアスパワー依存性を示した。

【 0 0 1 8 】

本明細書で開示する発明の構成（1）は、減圧されたチャンバー内に反応ガスを供給し、第1の電極と第2の電極との間に発生するプラズマによって、前記第2の電極上に配置された基板上の被エッチング材料膜をエッチングするドライエッチング装置であって、前記第2の電極は、各々独立した複数の電極からなり、該電極の各々に高周波電源が独立して接続されていることを特徴とするドライエッチング装置である。

【 0 0 1 9 】

また、発明の他の構成（2）は、減圧されたチャンバー内に反応ガスを供給し、第1の電極と第2の電極との間に交流電界を印加して発生するプラズマによって、前記第2の電極上に配置された

基板上の被エッチング材料膜をエッチングするドライエッチング装置であって、前記第 1 の電極は平面状のコイルからなり、第 1 の高周波電源が接続され、前記第 2 の電極は、各々独立した複数の電極からなり、該電極の各々に第 2 の高周波電源が独立して接続されていることを特徴とするドライエッチング装置である。

【 0 0 2 0 】

上記構成 (1) または構成 (2) において、前記第 2 の電極を構成する複数の電極は、基板の中心部の下方に配置された電極と、基板の角部の下方に配置された電極とを有することを特徴としている。

【 0 0 2 1 】

また、図 1 にその一例を示したが、前記基板の中心部の下方に配置された電極の面積は、前記基板の角部の下方に配置された電極の面積より大きいことを特徴としている。

【 0 0 2 2 】

また、上記構成 (1) または構成 (2) において、図 2 にその一例を示したが、前記第 2 の電極を構成する複数の電極は、互いに同形同寸であることを特徴としている。

【 0 0 2 3 】

また、上記各構成において、前記第 2 の電極を構成する複数の電極のうち、基板の中心部の下方に配置された電極に印加される高周波電力と、基板の角部の下方に配置された電極に印加される高周波電力は異なることを特徴としている。

【 0 0 2 4 】

また、上記各構成において、前記第 2 の電極を構成する複数の電極のうち、基板の中心部の下方に配置された電極に印加される高周波電力の周波数と、基板の角部の下方に配置された電極に印加される高周波電力の周波数は同一であることを特徴としている。

【 0 0 2 5 】

また、上記各構成において、前記基板は 0.3 m^2 以上の面積を有することを特徴としている。

【 0 0 2 6 】

また、発明の他の構成（３）は、
対向する第１の電極と第２の電極とを備えたドライエッチング装置を使用するエッチング方法において、

チャンバー内に設けられた複数の電極からなる第２の電極上に基板を配置し、
減圧されたチャンバー内に反応ガスを供給し、

前記第２の電極を構成する複数の電極のうち、基板の中心部の下方に配置された電極に第１の高周波電力を印加し、基板の角部の下方に配置された電極に第２の高周波電力を印加して、前記第１の電極と前記第２の電極との間に交流電界を印加することによりプラズマを発生させて、前記複数の電極上に配置された基板上の被エッチング材料膜をエッチングすることを特徴とするエッチング方法である。

【 0 0 2 7 】

また、上記構成（３）において、前記第１の高周波電力の周波数と前記第２の高周波電力の周波数は同一であることを特徴としている。

【 0 0 2 8 】

また、上記構成（３）において、前記ドライエッチング装置は、平行平板型エッチング装置あるいはＩＣＰ型エッチング装置である。

【 0 0 2 9 】

また、発明の他の構成（４）は、

ドライエッチング装置を使用するエッチング方法において、

チャンバー内に設けられた複数の電極上に基板を配置し、

減圧されたチャンバー内に反応ガスを供給し、

前記複数の電極のうち、基板の中心部の下方に配置された電極に第１の高周波電力を印加し、基板の角部の下方に配置された電極に第２の高周波電力を印加し

、
磁界または電界によりプラズマを発生させて、前記複数の電極上に配置された基板上の被エッチング材料膜をエッチングすることを特徴とするエッチング方法である。

【 0 0 3 0 】

また、上記構成（４）において、前記ドライエッチング装置は、マグネトロン型エッチング装置、ＥＣＲ型エッチング装置、ヘリコン型エッチング装置のいずれかである。

【 0 0 3 1 】

また、発明の他の構成（５）は、
基板上に導電膜を形成し、

前記導電膜上にマスクを選択的に形成し、

対向する第１の電極と第２の電極とを備えたドライエッチング装置のチャンバー内に設けられた複数の電極からなる第２の電極上に、前記基板を配置し、

減圧されたチャンバー内に反応ガスを供給し、

前記第２の電極を構成する複数の電極のうち、基板の中心部の下方に配置された電極に第１の高周波電力を印加し、基板の角部の下方に配置された電極に第２の高周波電力を印加して、前記第１の電極と前記第２の電極との間に交流電界を印加することによりプラズマを発生させて、前記複数の電極上に配置された基板上の導電膜を選択的にエッチングすることを特徴とする配線の形成方法である。

【 0 0 3 2 】

また、上記構成（５）において、前記配線は、ＴＦＴのゲート電極またはゲート配線であることを特徴としている。なお、このゲート電極またはゲート配線の形状はテーパー形状である。

【 0 0 3 3 】

【発明の実施の形態】

本発明の実施形態について、以下に説明する。

【 0 0 3 4 】

（実施の形態１）

ここではＩＣＰ型エッチング装置に本発明を適用した例について説明する。なお、ＩＣＰ型エッチング装置は、誘導結合プラズマを用いたエッチング装置である。

【 0 0 3 5 】

図1は、ICP型エッチング装置の断面図および上面図である。図1(B)において、エッチング装置のチャンバー101の上面は、石英ガラスなどの絶縁物100からなっており、該絶縁物100の外側に第1の電極105が配置されている。なお、図1(A)は、平面状のコイルである第1の電極105の上から見た図である。本発明において、このコイル状の第1の電極は図1に示す形状に限定されず、どのような形状のものであっても構わない。この第1の電極にはマッチング回路106を介して第1の高周波電源104が接続されている。この第1の電極105に高周波電流を流してチャンバー内に電磁波を形成し、この電磁場内に流れる電子を反応ガスの中性粒子に衝突させてプラズマを生成する。なお、反応ガスは、ガス供給系102から所定の反応ガスをチャンバー101内に導入し、ガス排気系103により排気を行う。

【0036】

被処理基板107は、複数の電極108a～108d、109からなる第2の電極上にクランプ（図示しない）で押さえられて配置される。また、被処理基板107のサイズは、 0.3 m^2 以上の面積、例えば $60\text{ cm} \times 72\text{ cm}$ とした場合、絶縁物100は、直径98 cmの円板とすればよい。なお、図1(B)の断面図は、図1(C)に示した上面図の鎖線A-A'で切断した図に相当する。109は、被処理基板の中央部に接する第2の電極であり、108a～108dは、被処理基板の角部に接する第2の電極である。また、各電極の間は、空隙または絶縁物でそれぞれ電氣的に絶縁する。なお、電極108aには第2の高周波電源110が接続されており、電極109には第2の高周波電源111が接続されており、電極108cには第2の高周波電源112が接続されており、ここでは図示しないが電極108bや電極108dにもそれぞれ第2の高周波電源が独立に接続されている。本発明は、これらの高周波電源の高周波電力を変化させて均一なエッチングを実現するものである。また、第2の電極に印加される電力を測定する測定装置や、各高周波電源の高周波電力を制御するためのコントロール部を設けてもよい。また、第2の電極にDCパワー、ACパワー、または高周波エネルギー（マイクロ波等）を適宜、印加してエッチングを調節してもよい。

【0037】

また、図 1 4 にコントロール部 6 0 1 を備えたドライエッチング装置の例を示した。なお、コントロール部及び測定装置以外は図 1 で示したドライエッチング装置と同一であるので、同一である部分は図 1 の符号を用いた。図 1 4 では、プローブ 6 0 0 a ~ 6 0 0 c で測定し、その値をもとに CPU 等を備えたコントロール部 6 0 1 によって適切なバイアスパワーを算出し、各高周波電源 1 1 0 ~ 1 1 2 に指示を出す。これはエッチング処理前に行って各高周波電源の出力調整を行ってもよいし、エッチング処理中に各高周波電源の出力調整を随時行ってもよい。

【 0 0 3 8 】

次に、図 1 に示すエッチング装置を用いてエッチングする工程を順に説明する。

【 0 0 3 9 】

まず、減圧されたチャンバー 1 0 1 内にガス供給系 1 0 2 から所定の反応ガスを導入しながら、ガス排気系 1 0 3 により排気を行い、チャンバー 1 0 1 内を所定の圧力に保つ。次いで、チャンバー内の圧力を保ちながら第 1 の高周波電源 1 0 4 によって高周波電力（代表的には 1 3 . 5 6 M H z ）を平面状のコイルからなる第 1 の電極 1 0 5 に供給すると、チャンバー内にプラズマが発生し、第 2 の電極 1 0 8 a ~ 1 0 8 d 、 1 0 9 上に配置された被処理基板 1 0 7 に設けられた被エッチング材料膜に対してエッチングすることができる。この時、第 2 の電極 1 0 8 a ~ 1 0 8 d 、 1 0 9 にも第 2 の高周波電源 1 1 0 ~ 1 1 2 によって高周波電力を供給する。ただし、各高周波電源の周波数は同一であることが好ましい。

【 0 0 4 0 】

また、第 2 の電極の構成は、図 1 の構造に限定されず、少なくとも基板の角部に接する複数の電極と、基板の中央部に接する電極とを備え、それぞれに独立した高周波電源を備えていればよい。図 2 には、その一例を示した。第 2 の電極及び高周波電源以外の構造は図 1 に示した構造と同一であるので図 1 と同じ符号を用いる。図 2 では、第 2 の電極としてマトリクス状に複数の電極 2 0 1 が配置されており、各々の電極には独立して高周波電源 2 0 2 が接続されている。なお、

図 2 (B) の断面図は、図 2 (C) に示した上面図の鎖線 B - B' で切断した図に相当する。

【 0 0 4 1 】

本発明により、基板全面に印加される実質的な電力パワーが均一となるように第 2 の電極を配置することで、基板面内のエッチングのバラツキを低減することができ、特に基板の角部におけるエッチング不良を低減することができる。また、本発明の構成であれば、大型の基板であっても面内均一性が非常に高いエッチングを実現することができる。

【 0 0 4 2 】

また、本発明は、コイルのインダクタンスを低下させるためにコイルを分割したマルチスパイラル方式の ICP エッチング装置や、くし形コイルを円状の平板に配置したスポーク形の ICP エッチング装置に適用することが可能である。

【 0 0 4 3 】

また、本発明は、ICP 型エッチング装置に限定されず、RIE エッチング装置、例えば、平行平板型エッチング装置、ECR エッチング装置、マグネトロンの型エッチング装置にも適用できる。

【 0 0 4 4 】

(実施の形態 2)

図 3 には本発明を平行平板型エッチング装置に適用した一例を示した。平行平板型エッチング装置は、コンデンサを通して電極に高周波を印加することによって生成される容量結合プラズマを用いたエッチング装置である。

【 0 0 4 5 】

305 はアースに接続された第 1 の電極 (上部電極) であり、この第 1 の電極 305 と第 2 の電極との間に高周波電界を印加してチャンバー 301 内の反応ガスをイオン化させ、反応ガス中のイオンにより被処理基板 307 上に設けられた被エッチング材料膜をエッチングする。なお、反応ガスは、ガス供給系 302 から所定の反応ガスをチャンバー 301 内に導入し、ガス排気系 303 により排気を行う。

【 0 0 4 6 】

また、被処理基板 3 0 7 は複数の電極 3 0 8 a ~ 3 0 8 d、3 0 9 からなる第 2 の電極（下部電極）上に石英等からなる絶縁物 3 0 0 を介して配置する。なお、被処理基板の角部の下方に配置された電極 3 0 8 a には第 2 の高周波電源 3 1 0 が接続されており、被処理基板の中央部の下方に配置された電極 3 0 9 には第 2 の高周波電源 3 1 1 が接続されており、電極 3 0 8 c には第 2 の高周波電源 3 1 2 が接続されており、ここでは図示しないが電極 3 0 8 b や電極 3 0 8 d にもそれぞれ第 2 の高周波電源が独立に接続されている。なお、図 3（A）の断面図は、図 3（B）に示した上面図の鎖線 A - A' で切断した図に相当する。このように、図 3 に示す平行平板型エッチング装置においても、第 2 の電極を構成する複数の電極の各々に独立して高周波電源 3 1 0 ~ 3 1 2 を接続している。

【 0 0 4 7 】

上記構成により、基板全面に印加される実質的な電力パワーが均一となるように第 2 の電極を配置することで、基板面内のエッチングのバラツキを低減することができ、特に基板の角部におけるエッチング不良を低減することができる。また、上記構成の構成であれば、大型の基板であっても面内均一性が非常に高いエッチングを実現することができる。

【 0 0 4 8 】

また、第 2 の電極と第 2 の高周波電源の間に測定装置（プローバー、電圧測定機器、オシロスコープ等）3 1 3 が設けられている。さらに、この測定装置 3 1 3 から得られた情報をもとにして、各高周波電源の高周波電力を制御するためのコントロール部を設けてもよい。

【 0 0 4 9 】

なお、図 3 では第 2 の電極上に石英等からなる絶縁物を介して被処理基板を配置した例を示したが、第 2 の電極と接して被処理基板を配置してもよい。

【 0 0 5 0 】

以上の構成でなる本発明について、以下に示す実施例でもってさらに詳細な説明を行うこととする。

【 0 0 5 1 】

【実施例】

〔実施例 1〕

本実施例は、同一基板上に画素部と駆動回路とを備えた液晶表示装置の作製方法の一例を図 4～図 8 を用いて示す。

【0052】

まず、本実施例ではコーニング社の # 7 0 5 9 ガラスや # 1 7 3 7 ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスからなる基板 4 0 1 を用いる。なお、基板 4 0 1 としては、透光性を有する基板であれば限定されず、石英基板を用いても良い。また、本実施例の処理温度に耐えうる耐熱性が有するプラスチック基板を用いてもよい。

【0053】

次いで、基板 4 0 1 上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜 4 0 2 を形成する。

【0054】

下地絶縁膜 4 0 2 としては、酸化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜 (SiO_xN_y)、またはこれらの積層膜等を 1 0 0 ~ 5 0 0 nm の膜厚範囲で用いることができ、形成手段としては公知の成膜方法 (熱 CVD 法、プラズマ CVD 法、蒸着法、スパッタ法、減圧熱 CVD 法等) を用いる。ここでは、膜組成において酸素元素より窒素元素を多く含む酸化窒化シリコン膜 4 0 2 a と、膜組成において窒素元素より酸素元素を多く含む酸化窒化シリコン膜 4 0 2 b を積層形成した。

【0055】

次いで、下地絶縁膜上に非晶質半導体膜 4 0 3 を形成する。(図 4 (A)) 非晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム ($\text{Si}_x\text{Ge}_{1-x}$ ($0 < x < 1$)) 合金などで形成すると良い。形成手段としては公知の成膜方法 (熱 CVD 法、プラズマ CVD 法、蒸着法、スパッタ法、減圧熱 CVD 法等) を用いることができる。

【0056】

次いで、非晶質半導体膜 4 0 3 を結晶化させて結晶質半導体膜 4 0 4 を形成する。(図 4 (B)) 結晶化方法は公知の方法 (固相成長法、レーザー結晶化法、

結晶化を助長する金属元素を用いた固相成長法等）を用いることができる。本実施例では、レーザー結晶化法により結晶質シリコン膜を形成した。レーザー結晶化法で結晶質半導体膜を作製する場合には、パルス発振型または連続発振型のエキシマレーザーや、パルス発振型または連続発振型の Y A G レーザーや、Y V O₄ レーザーを用いることができる。

【 0 0 5 7 】

次いで、フォトリソグラフィ法によりレジストマスクを形成し、エッチングを行って所望の形状の半導体層 4 0 5 ~ 4 0 9 を形成する。ここで、実施の形態 1 または実施の形態 2 に記載のドライエッチング装置を用いれば、面内均一性の優れたエッチングを行うことができる。

【 0 0 5 8 】

次いで、保護膜 4 1 0 を介して p 型を付与する不純物元素（以下、p 型不純物元素という）を添加する。（図 4（C））p 型不純物元素としては、代表的には 1 3 族に属する元素、典型的にはボロンまたはガリウムを用いることができる。この工程（チャネルドープ工程という）は T F T のしきい値電圧を制御するための工程である。なお、ここではジボラン（B₂H₆）を質量分離しないでプラズマ励起したイオンドープ法でボロンを添加する。勿論、質量分離を行うイオンインプランテーション法を用いても良い。

【 0 0 5 9 】

なお、本実施例ではチャネルドープ工程を行ったが、特に必要でない場合には行わなくても構わない。

【 0 0 6 0 】

次いで、保護膜 4 1 0 を除去した後、ゲート絶縁膜となる絶縁膜 4 1 1（ここでは酸化窒化シリコン膜）を半導体層上に成膜し、さらにその上に第 1 導電膜 4 1 2 及び第 2 導電膜 4 1 3 を積層形成する。（図 4（D））

【 0 0 6 1 】

次に図 5（A）に示すように、フォトリソグラフィ法によりレジストによるマスク 4 1 4 を形成し、ゲート電極を形成するための第 1 のエッチング処理を行う。エッチング方法に限定はないが、好適には本発明の I C P（Inductively Coup

led Plasma：誘導結合型プラズマ）エッチング法を用いる。エッチング用ガスに CF_4 と Cl_2 を混合し、 $0.5 \sim 2 \text{ Pa}$ 、好ましくは 1 Pa の圧力でコイル型の電極に 500 W （電力パワー密度 $1.02 \text{ W}/\text{cm}^2$ ）の RF（ 13.56 MHz ）電力を投入してプラズマを生成して行う。なお、基板側の電極面積サイズは、 $12.5 \text{ cm} \times 12.5 \text{ cm}$ であり、コイル型の電極面積サイズ（ここではコイルの設けられた石英円板）は、直径 25 cm の円板である。基板側（試料ステージ）にも 100 W （電力パワー密度 $0.64 \text{ W}/\text{cm}^2$ ）の RF（ 13.56 MHz ）電力を投入し、実質的に負の自己バイアス電圧を印加する。 CF_4 と Cl_2 を混合した場合にはタンゲステン膜、窒化タンタル膜及びチタン膜の場合でも、それぞれ同程度の速度でエッチングすることができる。

【0062】

上記エッチング条件では、レジストによるマスクの形状と、基板側に印加するバイアス電圧の効果により端部をテーパ形状とすることができる。テーパ部の角度は $15 \sim 45^\circ$ となるようにする。なお、図 11 に上記エッチング条件（圧力 1 Pa 、 500 W の RF 電力、ガス流量 $\text{CF}_4/\text{Cl}_2 = 30 \text{ sccm}/30 \text{ sccm}$ ）でのバイアスパワーの依存性のグラフを示した。また、ゲート絶縁膜上に残渣を残すことなくエッチングするためには、 $10 \sim 20\%$ 程度の割合でエッチング時間を増加させると良い。W 膜に対する酸化窒化シリコン膜の選択比は $2 \sim 4$ （代表的には 3 ）であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は $20 \sim 50 \text{ nm}$ 程度エッチングされる。また、図 12 は W 膜及び酸化窒化シリコン膜のエッチングレートのバイアスパワー依存性を示すグラフ、図 13 は、W 膜に対する酸化窒化シリコン膜の選択比のバイアスパワー依存性を示すグラフである。

【0063】

本実施例では、この第 1 のエッチング処理を実施の形態 1 に示した本発明のドライエッチング装置（図 1 または図 2）及びエッチング方法を用いて行う。本発明のドライエッチング装置を用いることによってテーパ部の角度（テーパ角）が均一化できる。ここでは、第 2 の電極の電極サイズを考慮し、図 11 を元にして第 2 の電極に印加されるバイアスパワーをそれぞれ調節して電力パワー密度

を均一化させ、基板面内のテーパ角を均一化した。後の工程でこのテーパ部を通過させて低濃度不純物領域を形成するため、このテーパ部を均一にすることは、結果的に基板面内に形成される全てのTFTの電気的特性を均一化することにつながる。従って、本発明のエッチング装置を用いることは、基板面内のバラツキ低減に極めて有用である。

【 0 0 6 4 】

こうして、第1のエッチング処理により第1導電膜と第2導電膜から成る第1形状の導電層415～420（第1の導電層415a、416a、417a、418a、419a、420aと第2導電層415b、416b、417b、418b、419b、420b）を形成する。なお、図示しないが、絶縁膜413において、第1の形状の導電層で覆われない領域は20～50nm程度エッチングされ薄くなる。

【 0 0 6 5 】

次いで、レジストマスクをそのままの状態としたまま、第1の形状の導電層をマスクとして第1のドーピング処理を行いn型の不純物（ドナー）をドーピングする。（図5（B））例えば、加速電圧を20～60keVとし、 $1 \times 10^{13} \sim 5 \times 10^{14} / \text{cm}^2$ のドーズ量で行い、不純物領域（n+領域）421a～421eを形成する。例えば、不純物領域（n+領域）におけるリン（P）濃度は $1 \times 10^{20} \sim 1 \times 10^{21} / \text{cm}^3$ の範囲となるようにする。

【 0 0 6 6 】

次いで、レジストマスクをそのままの状態としたまま、図5（C）に示すように第2のエッチング処理を行う。エッチングはICPエッチング法を用い、エッチングガスに CF_4 と Cl_2 と O_2 を混合して、1Paの圧力でコイル型の電極に500W（電力パワー密度 $1.02 \text{ W} / \text{cm}^2$ ）のRF電力（13.56MHz）を供給してプラズマを生成する。基板側（試料ステージ）には50W（電力パワー密度 $0.32 \text{ W} / \text{cm}^2$ ）のRF（13.56MHz）電力を投入し、第1のエッチング処理に比べ低い自己バイアス電圧を印加する。このような条件によりタングステン膜を異方性エッチングし、第1の導電層である窒化タンタル膜またはチタン膜を残存させるようにする。ここでも本発明のICP型エッチング装置

を用いて面内均一性を向上させることが望ましい。こうして、第2形状の導電層423～428（第1の導電膜423a、424a、425a、426a、427a、428aと第2の導電膜423b、424b、425b、426b、427b、428b）を形成する。422はゲート絶縁膜であり、第2の形状の導電層で覆われない領域はさらに薄くなった。

【0067】

次いで、レジストマスクをそのままの状態としたまま、第2のドーピング処理を行いn型の不純物（ドナー）をドーピングする。（図5（D））この場合、第2形状の導電層のうち、第2の導電膜はドーピングする元素に対してマスクとなり、加速電圧を適宜調節（例えば、70～120keV）して、ゲート絶縁膜及び第1の導電膜のテーパー部を通過した不純物元素により不純物領域（n-領域）429a～429eを形成する。例えば、不純物領域（n-領域）におけるリン（P）濃度は $1 \times 10^{17} \sim 1 \times 10^{19} / \text{cm}^3$ の範囲となるようにする。

【0068】

本実施例では、本発明のICP型エッチング装置を用いたことによって、テーパー部が均一化されたため、テーパー部を通過させて形成される不純物領域（n-領域）を基板面内において均一化することができた。

【0069】

次いで、レジストマスクを除去した後、フォトリソグラフィ法により、駆動回路のnチャネルTFTのうち、所定のTFTを覆うレジストマスク430を形成した後、エッチングを行い、第3形状の導電層（第1の導電膜423c、425c、426c、427c、428cと第2の導電膜423d、425d、426d、427d、428d）と絶縁膜431～436を形成する。（図6（A））こうすることによって、レジストマスク430で覆われたTFT以外のTFTは、第1の導電膜と不純物領域（n-領域）とが重ならないTFTとすることができる。なお、図6（A）中では絶縁膜431、433～436が不純物領域（n-領域）と重なっていないが、実際は、一部かさなった構造となる。

【0070】

次いで、レジストマスク430を除去した後、図6（B）に示すように、レジ

ストによるマスク 4 3 7 を形成し、p チャンネル型 T F T を形成する島状半導体層に p 型の不純物（アクセプタ）をドーピングする。典型的にはボロン（B）を用いる。不純物領域（p + 領域）4 3 8、4 3 9 の不純物濃度は $2 \times 10^{20} \sim 2 \times 10^{21} / \text{cm}^3$ となるようにし、含有するリン濃度の 1.5 ～ 3 倍のボロンを添加して導電型を反転させる。

【 0 0 7 1 】

以上までの工程でそれぞれの半導体層に不純物領域が形成される。その後、図 6（C）に示すように、窒化シリコン膜または酸化窒化シリコン膜から成る保護絶縁膜 4 4 0 をプラズマ C V D 法で形成する。そして導電型の制御を目的としてそれぞれの半導体層に添加された不純物元素を活性化する工程を行う。

【 0 0 7 2 】

さらに、水素化処理を行う。本実施例では比較的低温で行うことが可能な水素プラズマを用いて水素化処理を行った。

【 0 0 7 3 】

次いで、保護絶縁膜 4 4 0 を覆って層間絶縁膜 4 4 1 を形成する。層間絶縁膜 4 4 1 は、ポリイミド、アクリルなどの有機絶縁物材料で形成する。勿論、プラズマ C V D 法で T E O S（Tetraethyl Ortho silicate）を用いて形成される酸化シリコン膜を適用しても良いが、平坦性を高める観点からは前記有機物材料を用いることが望ましい。

【 0 0 7 4 】

次いで、コンタクトホールを形成し、アルミニウム（A l）または A g を主成分とする膜、チタン（T i）、またはそれらの積層膜等の反射性の優れた材料を用いて、ソース配線またはドレイン配線 4 4 2 ～ 4 5 0、及び画素電極 4 5 1 を形成する。また、画素電極 4 5 1 を形成した後、公知のサンドブラスト法やエッチング法等の工程を追加して表面を凹凸化させて、鏡面反射を防ぎ、反射光を散乱させることによって白色度を増加させることが好ましい。

【 0 0 7 5 】

以上の工程で、n チャンネル型 T F T と p チャンネル型 T F T と含む駆動回路 4 5 3 と、画素 T F T 及び保持容量を含む画素部 4 5 4 を同一基板上に得ることがで

きる。

【 0 0 7 6 】

駆動回路 4 5 3 において、ロジック回路部やサンプリング回路部を構成する p チャンネル型 T F T にはチャンネル形成領域、ソース領域またはドレイン領域として機能する不純物領域を有している。

【 0 0 7 7 】

駆動回路 4 5 3 において、ロジック回路部を構成する n チャンネル型 T F T には高速動作を重視した T F T 構造とすることが好ましく、チャンネル形成領域、ゲート電極と重なる不純物領域 (Gate Overlapped Drain: G O L D 領域)、ゲート電極の外側に形成される不純物領域 (L D D 領域) とソース領域またはドレイン領域として機能する不純物領域を有している。

【 0 0 7 8 】

また、駆動回路 4 5 3 において、サンプリング回路部を構成する n チャンネル型 T F T には低オフ電流動作を重視した T F T 構造とすることが好ましく、チャンネル形成領域、ゲート電極の外側に形成される不純物領域 (L D D 領域) とソース領域またはドレイン領域として機能する不純物領域を有している。

【 0 0 7 9 】

また、画素部 4 5 4 の画素 T F T を構成する n チャンネル型 T F T には低オフ電流動作を重視した T F T 構造とすることが好ましく、チャンネル形成領域、ゲート電極の外側に形成される不純物領域 (L D D 領域) とソース領域またはドレイン領域として機能する不純物領域を有している。

【 0 0 8 0 】

また、画素部 4 5 4 の保持容量 4 6 0 の一方の電極として機能する半導体層には、それぞれ p 型を付与する不純物元素が添加されている。保持容量 4 6 0 は、絶縁膜 4 3 6 を誘電体として、電極 4 2 8 d、4 2 8 c と、半導体層とで形成している。

【 0 0 8 1 】

なお、ここでは、画素電極として、反射電極を用いた例を示したが、透光性を有する導電性材料を用いて画素電極を形成すれば、透過型の表示装置を作製する

ことができる。その場合、ソース配線またはドレイン配線を作製する工程の前後で画素電極を形成し、その画素電極の材料としては、酸化インジウム酸化亜鉛合金 ($\text{In}_2\text{O}_3-\text{ZnO}$)、酸化亜鉛 (ZnO)、またはガリウム (Ga) を添加した酸化亜鉛 ($\text{ZnO}:\text{Ga}$) 等を用いることが望ましい。

【 0 0 8 2 】

図 7 の状態を得た後、画素電極 4 5 1 上に配向膜を形成しラビング処理を行う。なお、本実施例では配向膜を形成する前に、アクリル樹脂膜等の有機樹脂膜をパターニングすることによって基板間隔を保持するための柱状のスペーサ (図示しない) を所望の位置に形成した。また、柱状のスペーサに代えて、球状のスペーサを基板全面に散布してもよい。

【 0 0 8 3 】

次いで、対向基板を用意する。次いで、対向基板上に着色層、遮光層を形成した後、平坦化膜を形成する。次いで、平坦化膜上に透明導電膜からなる対向電極を少なくとも画素部に形成し、対向基板の全面に配向膜を形成し、ラビング処理を施した。

【 0 0 8 4 】

次いで、画素部と駆動回路が形成された基板と対向基板とを接着層 (本実施例ではシール材) で貼り合わせる。接着層にはフィラーが混入されていて、このフィラーと柱状スペーサによって均一な間隔を持って 2 枚の基板が貼り合わせられる。そして、一枚の基板に複数の画素部を形成、いわゆる多面取りとした場合、基板を各々分断して、一つの画素部を有する基板を複数得る。その後、両基板の間に液晶材料を注入し、封止剤 (図示せず) によって完全に封止する。液晶材料には公知の液晶材料を用いれば良い。

【 0 0 8 5 】

次いで、外部入力端子に F P C (フレキシブルプリント配線板: Flexible Printed Circuit) を貼り付ける。さらに対向基板のみに偏光板 (図示しない) を貼りつける。また、カラー化させる場合にはカラーフィルタを基板に設ける。

【 0 0 8 6 】

以上のようにして作製される液晶表示装置は各種電子機器の表示部として用い

ることができる。この液晶表示装置の状態について図 8 を用いて説明する。

【 0 0 8 7 】

図 8 に示す上面図は、画素部、駆動回路、F P C 8 9（フレキシブルプリント配線板：Flexible Printed Circuit）を貼り付ける外部入力端子 8 0、外部入力端子と各回路の入力部までを接続する配線 8 1 などが形成された基板 8 2 a と、カラーフィルタなどが設けられた対向基板 8 2 b とがシール材 8 3 を介して貼り合わされている。

【 0 0 8 8 】

ゲート側駆動回路 8 4 と重なるように固定基板側に遮光層 8 6 a が設けられ、ソース側駆動回路 8 5 と重なるように固定基板側に遮光層 8 6 b が形成されている。また、画素部 8 7 上の固定基板側に設けられたカラーフィルタ 8 8 は遮光層と、赤色（R）、緑色（G）、青色（B）の各色の着色層とが各画素に対応して設けられている。実際に表示する際には、赤色（R）の着色層、緑色（G）の着色層、青色（B）の着色層の 3 色でカラー表示を形成するが、これら各色の着色層の配列は任意なものとする。

【 0 0 8 9 】

ここでは、カラー化を図るためにカラーフィルタ 8 8 を対向基板に設けているが特に限定されず、基板上に素子を作製する際、基板上にカラーフィルタを形成してもよい。

【 0 0 9 0 】

また、カラーフィルタにおいて隣り合う画素の間には遮光層が設けられており、表示領域以外の箇所を遮光している。また、ここでは、駆動回路を覆う領域にも遮光層 8 6 a、8 6 b を設けているが、駆動回路を覆う領域は、後に液晶表示装置を電子機器の表示部として組み込む際、カバーで覆うため、特に遮光層を設けない構成としてもよい。また、基板上に必要な素子を作製する際、基板上に遮光層を形成してもよい。

【 0 0 9 1 】

また、上記遮光層を設けずに、第 2 固定基板と対向電極の間に、カラーフィルタを構成する着色層を複数層重ねた積層で遮光するように適宜配置し、表示領域

以外の箇所（各画素電極の間隙）や、駆動回路を遮光してもよい。

【0092】

また、外部入力端子にはベースフィルムと配線から成るFPC89が異方性導電性樹脂で貼り合わされている。さらに補強板で機械的強度を高めている。

【0093】

〔実施例2〕

本実施例では、画素部または駆動回路に使用するTF Tを逆スタガ型TF Tで構成した液晶表示装置の例を図9に示す。図9（A）は、画素部の画素の一つを拡大した上面図であり、図9（A）において、点線A-A'で切断した部分が、図9（B）の画素部の断面構造に相当する。

【0094】

画素部において、画素TF T部はNチャネル型TF Tで形成されている。なお、TF Tの活性層は、非晶質構造を有する半導体膜（代表的にはアモルファスシリコン膜）や結晶構造を有する半導体膜（代表的にはポリシリコン膜）のいずれでもよいが、駆動回路と画素部とを同一基板上に形成する場合には、結晶構造を有する半導体膜を用いることが望ましい。基板上51にゲート電極52が形成され、その上に窒化珪素からなる第1絶縁膜53a、酸化珪素からなる第2絶縁膜53bが設けられている。なお、53a、53bはゲート絶縁膜としての機能を有する。また、第2絶縁膜53b上には、活性層としてn+領域54～56と、チャネル形成領域57、58と、前記n+型領域とチャネル形成領域の間にn-型領域59、60が形成される。また、チャネル形成領域57、58は絶縁層61、62で保護される。絶縁層61、62及び活性層を覆う第1の層間絶縁膜63にコンタクトホールを形成した後、n+領域54に接続する配線64が形成され、n+領域56にAlあるいはAg等からなる画素電極65が接続され、さらにその上にパッシベーション膜66が形成される。また、70は画素電極65と隣接する画素電極である。

【0095】

なお、本実施例では、画素部の画素TF Tのゲート配線をダブルゲート構造としているが、オフ電流のバラツキを低減するために、トリプルゲート構造等のマ

ルチゲート構造としても構わない。また、開口率を向上させるためにシングルゲート構造としてもよい。

【0096】

また、画素部の容量部は、第1絶縁膜及び第2絶縁膜を誘電体として、容量配線71と、n+領域56とで形成されている。

【0097】

なお、図9で示した画素部はあくまで一例に過ぎず、特に上記構成に限定されないことはいうまでもない。

【0098】

また、本実施例は、実施の形態1、実施の形態2、実施例1のいずれとも自由に組み合わせることが可能である。

【0099】

実施の形態1や実施の形態2にその一例を示した本発明のエッチング装置は、各パターニング工程でのエッチング処理に適用することができるが、特にゲート電極52のパターニングにおけるエッチング処理に用いて、ゲート電極52のテーパー部を均一とし、そのゲート電極52を覆うゲート絶縁膜のカバレッジを良好なものとすることができる。本発明により、被処理基板が大型化しても被処理基板の角部におけるエッチング不良を引き起こすことなく、面内均一性に優れ、且つ、精度の高いエッチング処理を行うことができる。

【0100】

〔実施例3〕

本実施例では、EL (Electro Luminescence) 素子を備えた自発光表示装置を作製する例を図10に示す。

【0101】

図10(A)は、ELモジュールを示す上面図、図10(B)は図1(A)をA-A'で切断した断面図である。絶縁表面を有する基板500(例えば、ガラス基板、結晶化ガラス基板、もしくはプラスチック基板等)に、画素部502、ソース側駆動回路501、及びゲート側駆動回路503を形成する。また、518はシール材、519はDLC膜であり、画素部および駆動回路部はシール材

518で覆われ、そのシール材は保護膜519で覆われている。さらに、接着材を用いてカバー材で封止されている。

【0102】

なお、508はソース側駆動回路501及びゲート側駆動回路503に入力される信号を伝送するための配線であり、外部入力端子となるFPC（フレキシブルプリントサーキット）509からビデオ信号やクロック信号を受け取る。なお、ここではFPCしか図示されていないが、このFPCにはプリント配線基盤（PWB）が取り付けられていても良い。本明細書における自発光装置には、自発光装置本体だけでなく、それにFPCもしくはPWBが取り付けられた状態をも含むものとする。

【0103】

次に、断面構造について図10（B）を用いて説明する。基板500上に絶縁膜510が設けられ、絶縁膜510の上方には画素部502、ゲート側駆動回路503が形成されており、画素部502は電流制御用TFT511とそのドレインに電氣的に接続された画素電極512を含む複数の画素により形成される。また、ゲート側駆動回路503はnチャネル型TFT513とpチャネル型TFT514とを組み合わせたCMOS回路を用いて形成される。

【0104】

これらのTFT（511、513、514を含む）を作製する際のパターニングにおいて、本発明のエッチング装置を用いれば、面内均一性の高い半導体層の形状、配線幅、またはコンタクトホール形状を実現することができる。

【0105】

画素電極512はEL素子の陽極として機能する。また、画素電極512の両端にはバンク515が形成され、画素電極512上にはEL層516およびEL素子の陰極517が形成される。

【0106】

EL層516としては、発光層、電荷輸送層または電荷注入層を自由に組み合わせてEL層（発光及びそのためのキャリアの移動を行わせるための層）を形成すれば良い。例えば、低分子系有機EL材料や高分子系有機EL材料を用いれば

よい。また、E L層として一重項励起により発光（蛍光）する発光材料（シングレット化合物）からなる薄膜、または三重項励起により発光（リン光）する発光材料（トリプレット化合物）からなる薄膜を用いることができる。また、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることも可能である。これらの有機E L材料や無機材料は公知の材料を用いることができる。

【 0 1 0 7 】

陰極 5 1 7 は全画素に共通の配線としても機能し、接続配線 5 0 8 を経由して F P C 5 0 9 に電氣的に接続されている。さらに、画素部 5 0 2 及びゲート側駆動回路 5 0 3 に含まれる素子は全て陰極 5 1 7、シール材 5 1 8、及び保護膜 5 1 9 で覆われている。

【 0 1 0 8 】

なお、シール材 5 1 8 としては、できるだけ可視光に対して透明もしくは半透明な材料を用いるのが好ましい。また、シール材 5 1 8 はできるだけ水分や酸素を透過しない材料であることが望ましい。

【 0 1 0 9 】

また、シール材 5 1 8 を用いて発光素子を完全に覆った後、すくなくとも図 1 0 に示すように D L C 膜等からなる保護膜 5 1 9 をシール材 5 1 8 の表面（露呈面）に設けることが好ましい。また、基板の裏面を含む全面に保護膜を設けてもよい。ここで、外部入力端子（F P C）が設けられる部分に保護膜が成膜されないように注意することが必要である。マスクを用いて保護膜が成膜されないようにしてもよいし、C V D 装置でマスキングテープとして用いるテフロン（登録商標）等のテープで外部入力端子部分を覆うことで保護膜が成膜されないようにしてもよい。

【 0 1 1 0 】

以上のような構造で E L 素子をシール材 5 1 8 及び保護膜で封入することにより、E L 素子を外部から完全に遮断することができ、外部から水分や酸素等の E L 層の酸化による劣化を促す物質が侵入することを防ぐことができる。従って、信頼性の高い自発光装置を得ることができる。

【 0 1 1 1 】

また、本実施例は、実施の形態 1、実施の形態 2、実施例 1、実施例 2 のいずれとも自由に組み合わせることが可能である。

【 0 1 1 2 】

実施の形態 1 や実施の形態 2 にその一例を示した本発明は、図 1 0 に示す画素部の T F T あるいは駆動回路の T F T を作製する際に使用するエッチング処理（電極形成、コンタクトホール形成など）に適用することができる。本発明により、被処理基板が大型化しても被処理基板の角部におけるエッチング不良を引き起こすことなく、面内均一性に優れ、且つ、精度の高いエッチング処理を行うことができる。

【 0 1 1 3 】

また、画素電極を陰極とし、E L 層と陽極を積層して図 1 0 とは逆方向に発光する構成としてもよい。

【 0 1 1 4 】

〔実施例 4〕

本実施例は、本発明を適用し、ラジアルラインスロットアンテナ（R L S A）をマイクロ波供給手段として用いたエッチング装置の一例を図 1 5 に示す。

【 0 1 1 5 】

図 1 5 中、7 0 0 はラジアルラインスロットアンテナ（R L S A）であり、7 0 4 はマイクロ波透過性の誘電体であり、このアンテナ 7 0 0 からマイクロ波を供給してアンテナ 7 0 0 と電極 7 0 8、7 0 9 との間にプラズマを発生させ、被処理基板 7 0 7 上に設けられた被エッチング材料膜をエッチングする。なお、反応ガスは、ガス供給系 7 0 2 から所定の反応ガスをチャンバー 7 0 1 内に導入し、ガス排気系 7 0 3 により排気を行う。

【 0 1 1 6 】

また、被処理基板 7 0 7 は複数の電極 7 0 8 a ~ 7 0 8 d、7 0 9 からなる第 2 の電極（下部電極）上に配置する。なお、被処理基板の角部の下方に配置された電極 7 0 8 a には高周波電源 7 1 0 が接続されており、被処理基板の中央部の下方に配置された電極 7 0 9 には高周波電源 7 1 1 が接続されており、電極 7 0 8 c には高周波電源 7 1 2 が接続されており、ここでは図示しないが電極 7 0 8

bや電極708dにもそれぞれ高周波電源が独立に接続されている。なお、図15(A)の断面図は、図15(B)に示した上面図の鎖線A-A'で切断した図に相当する。このように、図15に示すエッチング装置においても、電極を構成する複数の電極の各々に独立して高周波電源710~712を接続している。

【0117】

上記構成により、基板面内のエッチングのバラツキを低減することができ、特に基板の角部におけるエッチング不良を低減することができる。また、上記構成の構成であれば、大型の基板であっても面内均一性が非常に高いエッチングを実現することができる。

【0118】

また、電極と高周波電源の間に測定装置（プローバー、電圧測定機器、オシロスコープ等）を設けてもよい。さらに、この測定装置から得られた情報をもとにして、各高周波電源の高周波電力を制御するためのコントロール部を設けてもよい。

【0119】

また、本実施例は、実施の形態1、実施の形態2、実施例1、実施例2、実施例3のいずれとも自由に組み合わせることが可能である。

【0120】

〔実施例5〕

本実施例では、画素部に使用するnチャネル型TFTの下方に遮光膜を兼ねるゲート配線を設けた液晶表示装置の例を図16に示す。図16(B)は、画素部の画素の一つを拡大した上面図であり、図16(B)において、点線E-E'で切断した部分が、図16(A)の画素部の断面構造に相当する。

【0121】

図16において、801は基板、802はゲート配線、803a、803bはゲート配線を覆う絶縁膜、808はゲート絶縁膜、810はゲート電極、811は容量配線である。なお、このゲート配線802は活性層を光から保護する遮光層としても機能する。また、活性層は、812~815で示す領域からなり、そのうち812は、LDD領域となる低濃度不純物領域、813は、高濃度にリンが

添加されたソース領域またはドレイン領域となる高濃度不純物領域、814、815はチャンネル形成領域である。なお、低濃度不純物領域812は、セルフアラインでドーピングされており、ゲート電極810とは重なっていない。

【0122】

また、図16(A)において、816は、パッシベーション膜、817は有機樹脂材料からなる層間絶縁膜、818は画素電極と高濃度不純物領域を接続する電極、819はソース配線、820はアクリルからなる層間絶縁膜、821は遮光層、822は層間絶縁膜、823、824は透明導電膜からなる画素電極である。

【0123】

本発明は、図16に示す画素TFTを作製する際に使用するエッチング処理に適用することができる。

【0124】

また、図17に、図16とはゲート電極と活性層の構成が異なる例を示した。なお、図17は図16とはゲート電極と活性層の構成が異なるだけで、それら以外の構成は図16と同一であるので説明を省略する。

【0125】

図17中、活性層は、高濃度不純物領域913、低濃度不純物領域912、チャンネル形成領域914、915からなる。図17ではゲート電極910及び容量配線911の形状がテーパー形状となっており、ドーピングの際、このテーパー部を通過させてリンをドーピングし、低濃度不純物領域912を形成した。従って、低濃度不純物領域912は、ゲート電極910とは一部重なっている。

【0126】

また、本実施例は、実施の形態1、実施の形態2、実施例1、実施例2、実施例3のいずれとも自由に組み合わせることが可能である。

【0127】

実施の形態1や実施の形態2にその一例を示した本発明は、図16に示す画素TFTを作製する際、例えばテーパー形状のゲート電極の形成に使用するエッチング処理、コンタクトホール形成に使用するエッチング処理に適用することがで

きる。本発明により、被処理基板が大型化しても被処理基板の角部におけるエッチング不良を引き起こすことなく、面内均一性に優れ、且つ、精度の高いエッチング処理を行うことができる。

【 0 1 2 8 】

〔実施例 6〕

本発明を実施して形成された駆動回路や画素部は様々な装置（アクティブマトリクス型液晶ディスプレイ、アクティブマトリクス型 EL モジュール、アクティブマトリクス型 EC ディスプレイなど）に用いることができる。本発明は、駆動回路や画素部に設ける TFT を作製する際、例えばテーパー形状のゲート電極の形成に使用するエッチング処理、コンタクトホール形成に使用するエッチング処理に適用することができる。即ち、それらの装置を含む電子機器全てに本発明を実施できる。

【 0 1 2 9 】

その様な電子機器としては、ビデオカメラ、デジタルカメラ、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、カーナビゲーション、プロジェクタ、カーステレオ、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図 1 8 ～ 図 2 0 に示す。

【 0 1 3 0 】

図 1 8 (A) はパーソナルコンピュータであり、本体 2 0 0 1、画像入力部 2 0 0 2、表示部 2 0 0 3、キーボード 2 0 0 4 等を含む。

【 0 1 3 1 】

図 1 8 (B) はビデオカメラであり、本体 2 1 0 1、表示部 2 1 0 2、音声入力部 2 1 0 3、操作スイッチ 2 1 0 4、バッテリー 2 1 0 5、受像部 2 1 0 6 等を含む。

【 0 1 3 2 】

図 1 8 (C) はモバイルコンピュータ（モービルコンピュータ）であり、本体 2 0 1、カメラ部 2 2 0 2、受像部 2 2 0 3、操作スイッチ 2 2 0 4、表示部 2 0 5 等を含む。

【0133】

図18(D)はゴーグル型ディスプレイであり、本体2301、表示部2302、アーム部2303等を含む。

【0134】

図18(E)はプログラムを記録した記録媒体(以下、記録媒体と呼ぶ)を用いるプレーヤーであり、本体2401、表示部2402、スピーカ部2403、記録媒体2404、操作スイッチ2405等を含む。なお、このプレーヤーは記録媒体としてDVD(Digital Versatile Disc)、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。

【0135】

図18(F)はデジタルカメラであり、本体2501、表示部2502、接眼部2503、操作スイッチ2504、受像部(図示しない)等を含む。

【0136】

図19(A)はフロント型プロジェクターであり、投射装置2601、スクリーン2602等を含む。

【0137】

図19(B)はリア型プロジェクターであり、本体2701、投射装置2702、ミラー2703、スクリーン2704等を含む。

【0138】

なお、図19(C)は、図19(A)及び図19(B)中における投射装置2601、2702の構造の一例を示した図である。投射装置2601、2702は、光源光学系2801、ミラー2802、2804~2806、ダイクロイックミラー2803、プリズム2807、液晶表示装置2808、位相差板2809、投射光学系2810で構成される。投射光学系2810は、投射レンズを含む光学系で構成される。本実施例は三板式の例を示したが、特に限定されず、例えば単板式であってもよい。また、図19(C)中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、IRフィルム等の光学系を設けてもよい。

【0139】

また、図 1 9 (D) は、図 1 9 (C) 中における光源光学系 2 8 0 1 の構造の一例を示した図である。本実施例では、光源光学系 2 8 0 1 は、リフレクター 2 8 1 1、光源 2 8 1 2、レンズアレイ 2 8 1 3、2 8 1 4、偏光変換素子 2 8 1 5、集光レンズ 2 8 1 6 で構成される。なお、図 1 9 (D) に示した光源光学系は一例であって特に限定されない。例えば、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、I R フィルム等の光学系を設けてもよい。

【 0 1 4 0 】

ただし、図 1 9 に示したプロジェクターにおいては、透過型の電気光学装置を用いた場合を示しており、反射型の電気光学装置及び E L モジュールでの適用例は図示していない。

【 0 1 4 1 】

図 2 0 (A) は携帯電話であり、本体 2 9 0 1、音声出力部 2 9 0 2、音声入力部 2 9 0 3、表示部 2 9 0 4、操作スイッチ 2 9 0 5、アンテナ 2 9 0 6、画像入力部 (C C D、イメージセンサ等) 2 9 0 7 等を含む。

【 0 1 4 2 】

図 2 0 (B) は携帯書籍 (電子書籍) であり、本体 3 0 0 1、表示部 3 0 0 2、3 0 0 3、記憶媒体 3 0 0 4、操作スイッチ 3 0 0 5、アンテナ 3 0 0 6 等を含む。

【 0 1 4 3 】

図 2 0 (C) はディスプレイであり、本体 3 1 0 1、支持台 3 1 0 2、表示部 3 1 0 3 等を含む。本発明は特に大画面化した場合において有利であり、対角 1 0 インチ以上 (特に 3 0 インチ以上) のディスプレイには有利である。

【 0 1 4 4 】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器の作製方法に適用することが可能である。また、本実施例の電子機器は実施例 1 ~ 5 のどのような組み合わせからなる構成を用いても実現することができる。

【 0 1 4 5 】

【発明の効果】

本発明により、被処理基板が大型化しても被処理基板内におけるエッチング不良を引き起こすことなく、面内均一性に優れ、且つ、精度の高いエッチング処理を行うことができる。従って、本発明のドライエッチング装置は、大型の量産装置に適している。

【 0 1 4 6 】

また、本発明により、膜厚が薄い被処理膜をエッチングする場合や、選択比が低いエッチング処理を行う場合において、従来生じていた部分的なオーバーエッチングを抑えることができ、有効である。

【 0 1 4 7 】

また、本発明により、被処理基板が大型化しても基板全面に渡って、半導体層の形状やコンタクトホールを均一化することができる。

【 0 1 4 8 】

また、エッチングによって配線のテーパ部のテーパ角を制御する場合において、本発明により基板全体に均一なテーパ角を得ることができ、特に有効である。

【図面の簡単な説明】

【図 1】 本発明のドライエッチング装置の構成を示す図である。

【図 2】 本発明のドライエッチング装置の構成を示す図である。

【図 3】 本発明のドライエッチング装置の構成を示す図である。

【図 4】 AM-LCDの作製工程を示す図である。

【図 5】 AM-LCDの作製工程を示す図である。

【図 6】 AM-LCDの作製工程を示す図である。

【図 7】 アクティブマトリクス型液晶表示装置の断面構造図を示す図である。

【図 8】 AM-LCDの外観を示す図である。

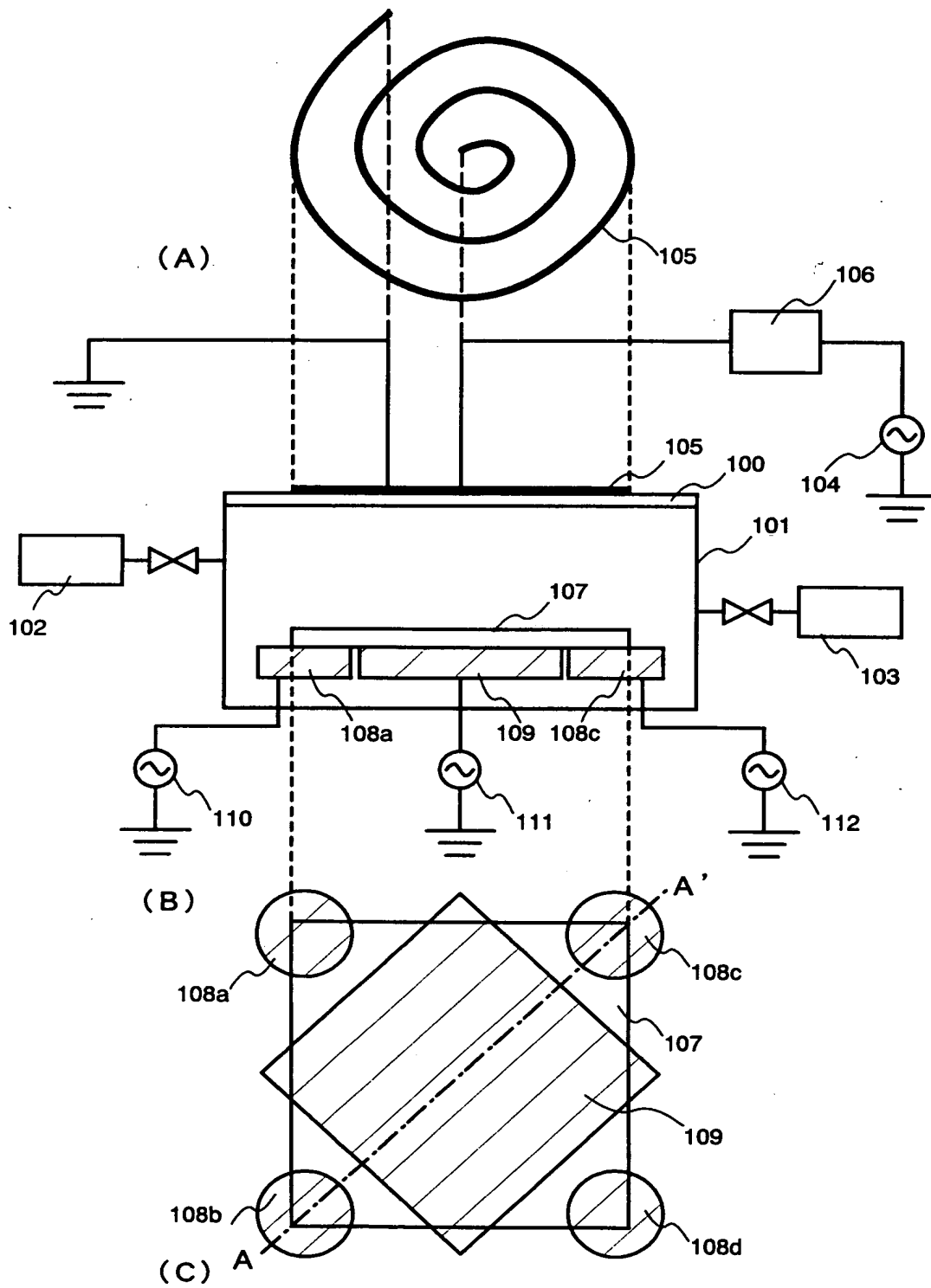
【図 9】 アクティブマトリクス型液晶表示装置の画素上面図および画素断面図を示す図である。

【図 10】 アクティブマトリクス型EL表示装置の外観図および断面図を示す図である。

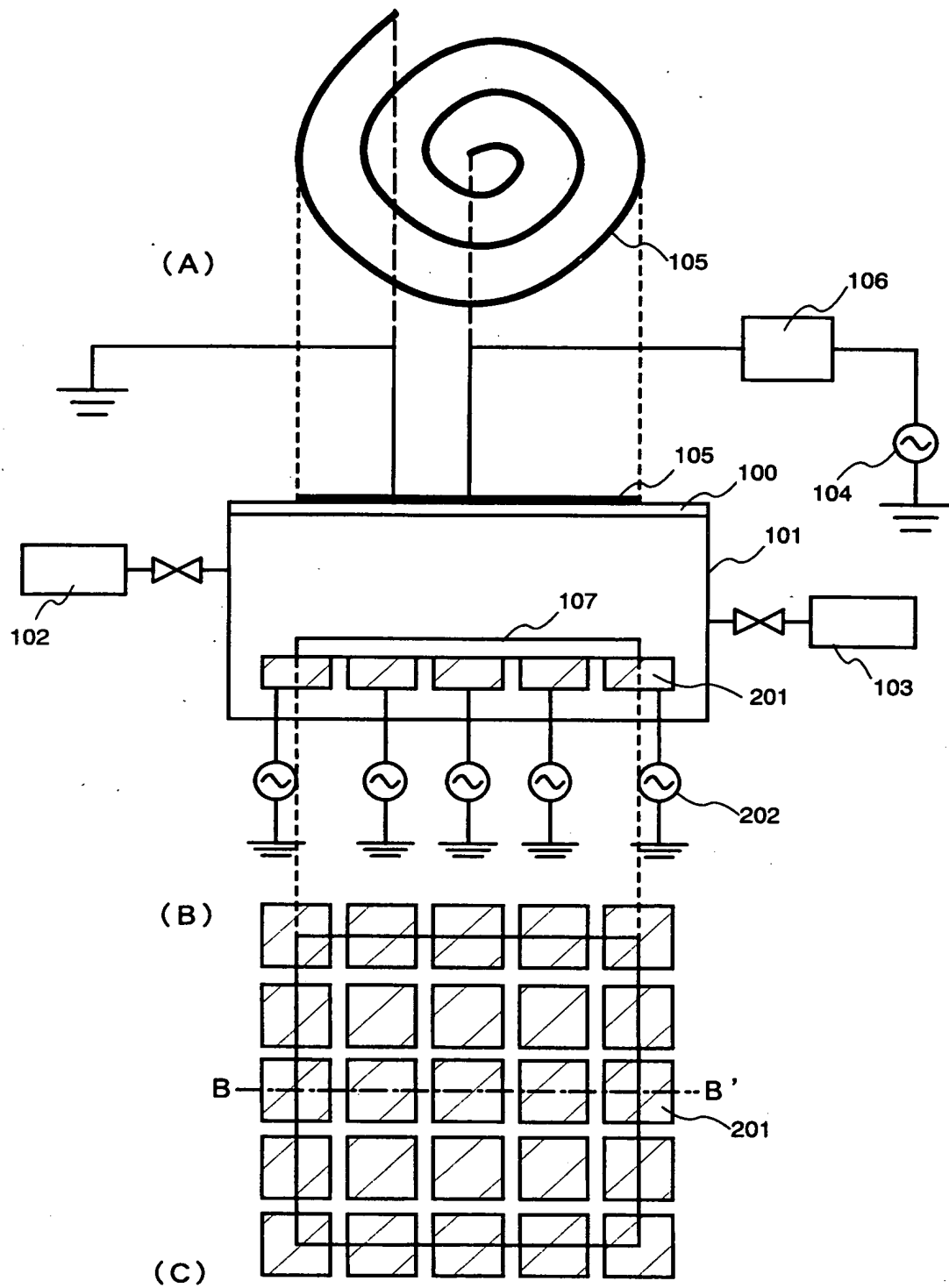
- 【図 1 1】 テーパー角 α のバイアスパワー依存性を示す図である。
- 【図 1 2】 エッチングレートのバイアスパワー依存性を示す図である。
- 【図 1 3】 選択比のバイアスパワー依存性を示す図である。
- 【図 1 4】 コントロール部を備えたドライエッチング装置を示す図である。
- 【図 1 5】 本発明のドライエッチング装置の構成を示す図である。
- 【図 1 6】 アクティブマトリクス型液晶表示装置の画素上面図及び断面図を示す図である。
- 【図 1 7】 アクティブマトリクス型液晶表示装置の画素断面図を示す図である。
- 【図 1 8】 電子機器の一例を示す図。
- 【図 1 9】 電子機器の一例を示す図。
- 【図 2 0】 電子機器の一例を示す図。
- 【図 2 1】 基板の測定ポイントを示す図。

【書類名】 図面

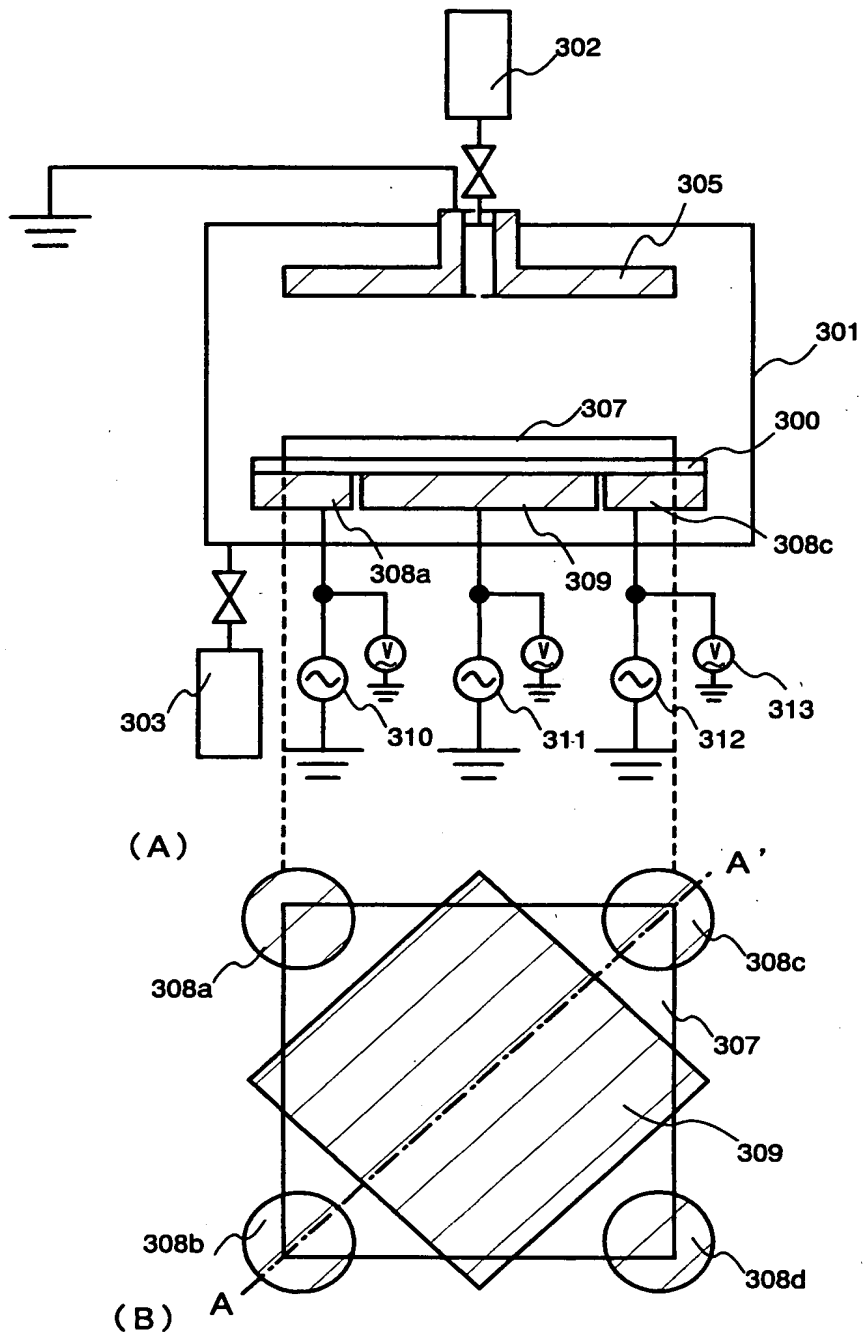
【図 1】



【図 2】

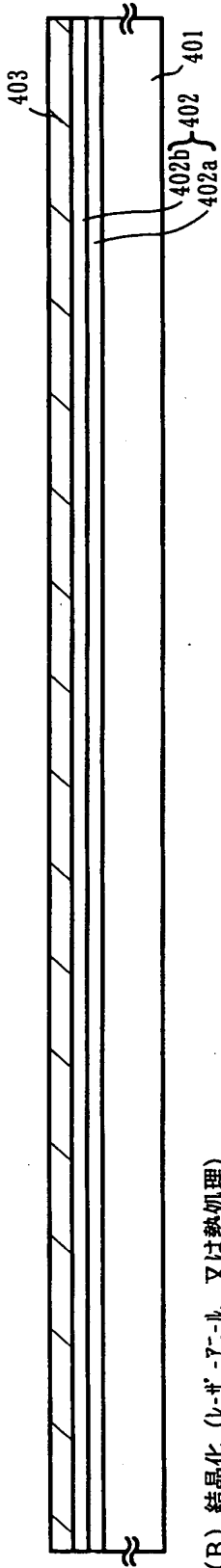


【図 3】



【図 4】

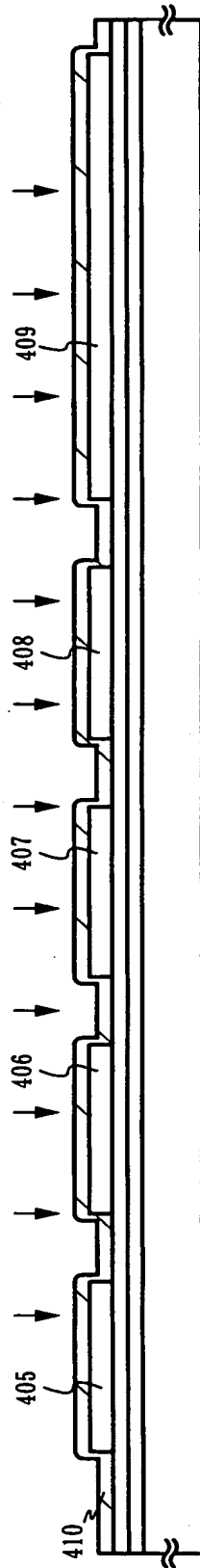
(A) 下地絶縁膜/非晶質半導体膜形成



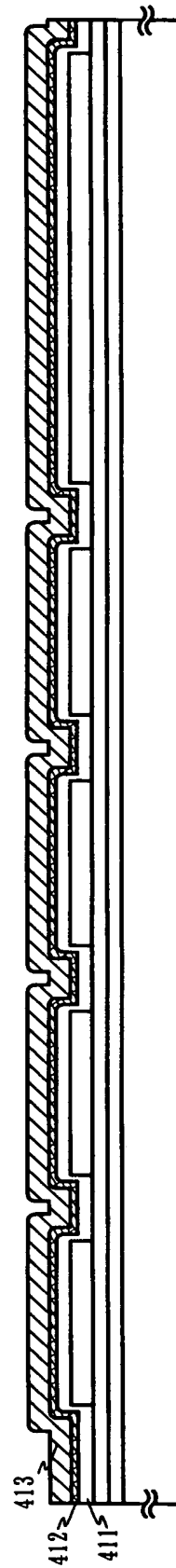
(B) 結晶化 (レザ-フェル、又は熱処理)



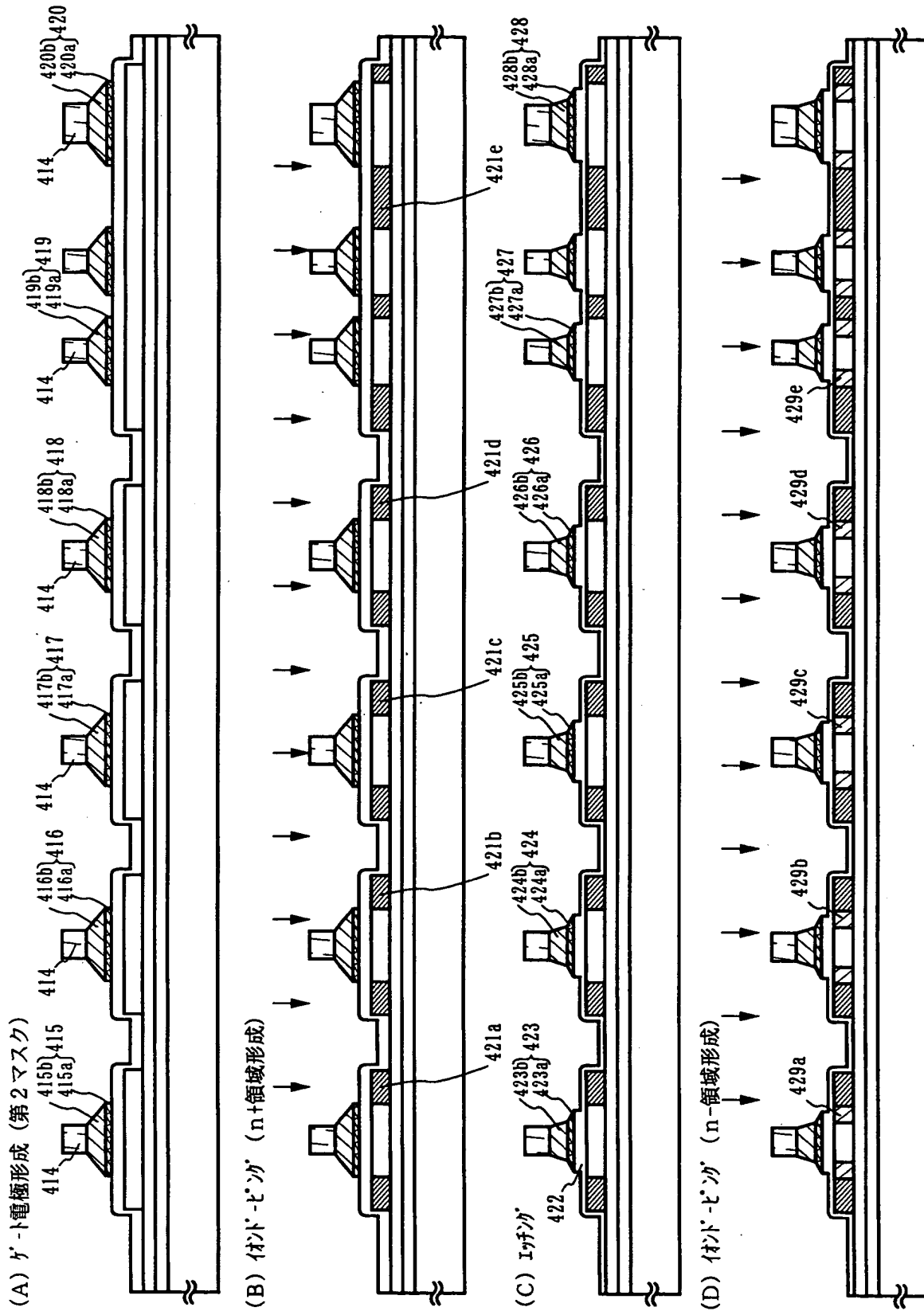
(C) 半導体層 (第1マスク) → マスク絶縁膜 → チャネル・ヒング



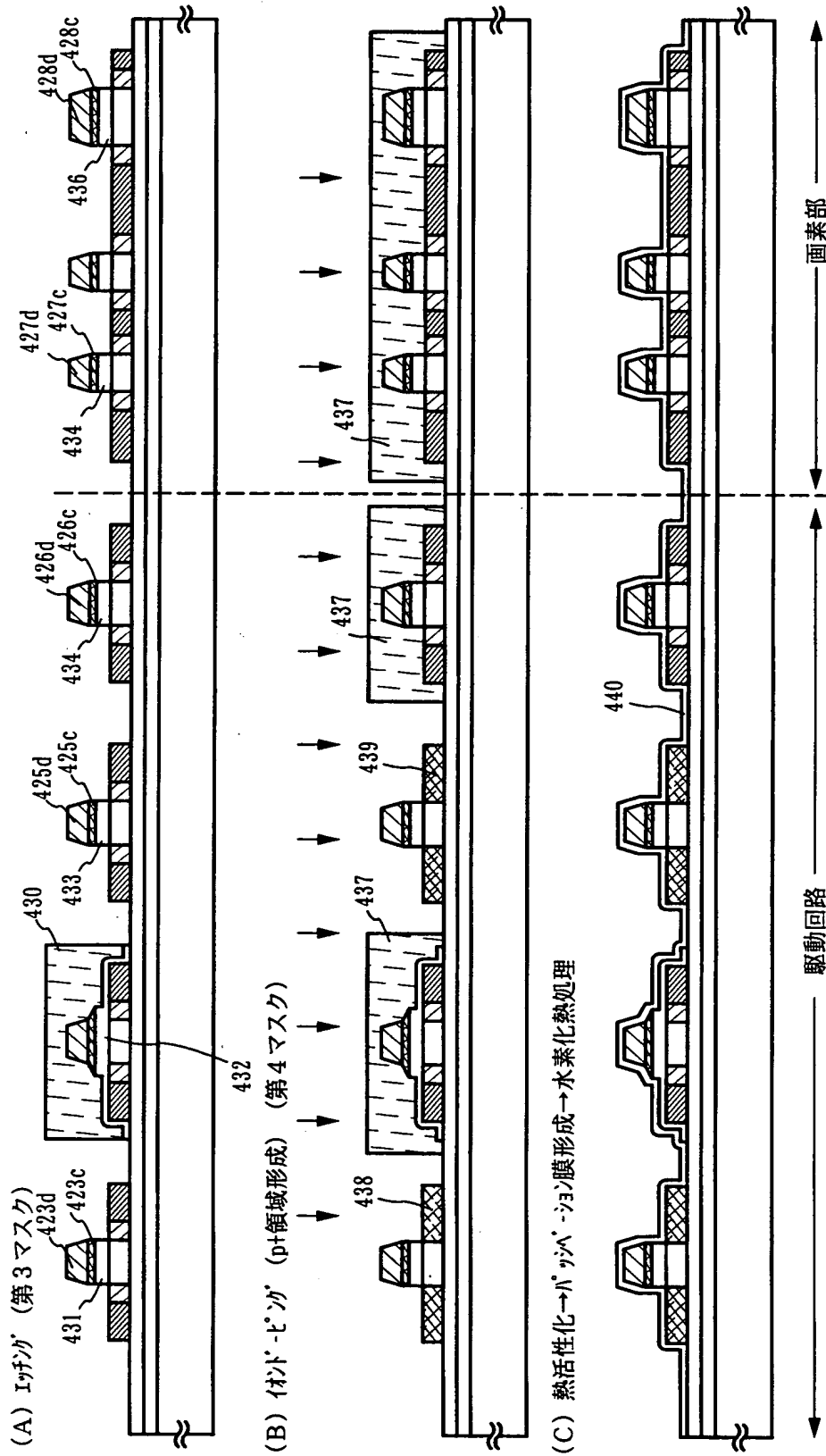
(D) ゲ-ト絶縁膜 → ゲ-ト電極用導電膜の形成



【図 5】

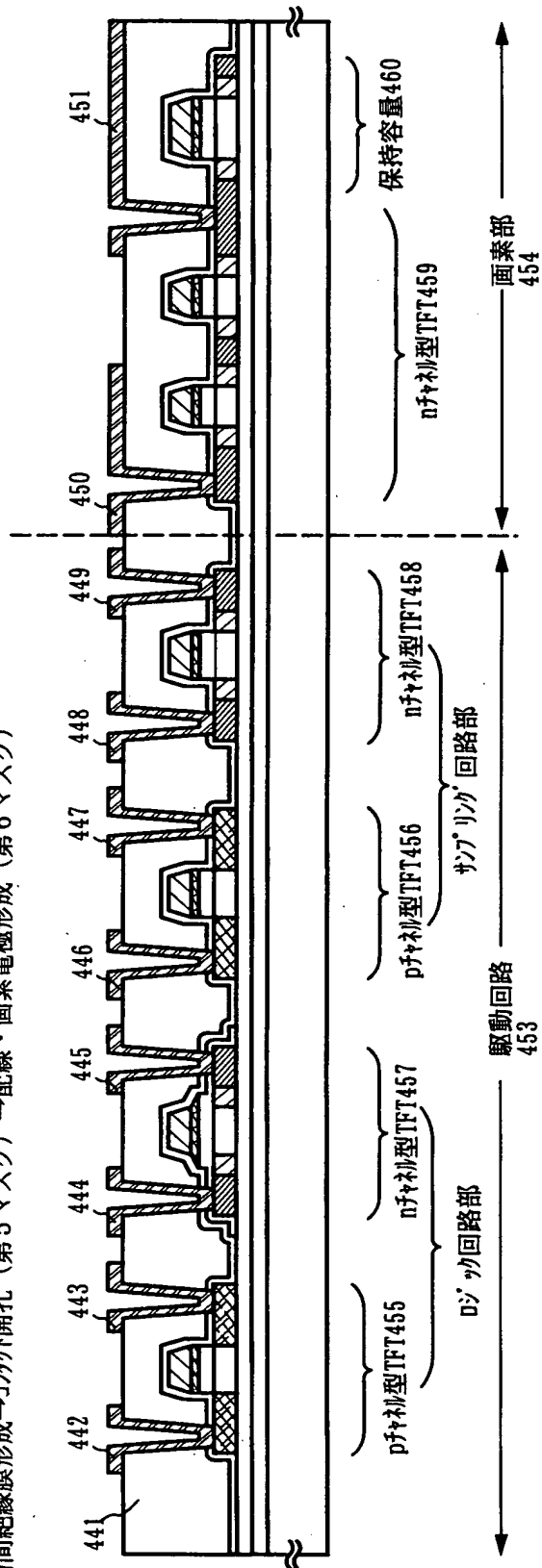


【図6】

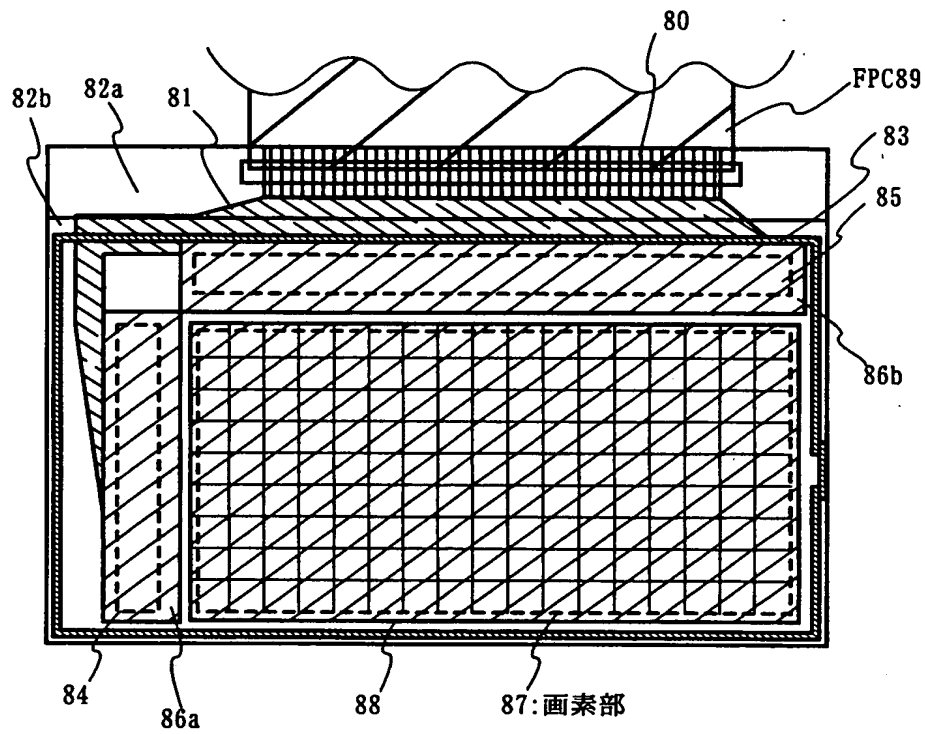


【図 7】

層間絶縁膜形成→コンタクト開孔（第5マスク）→配線・画素電極形成（第6マスク）

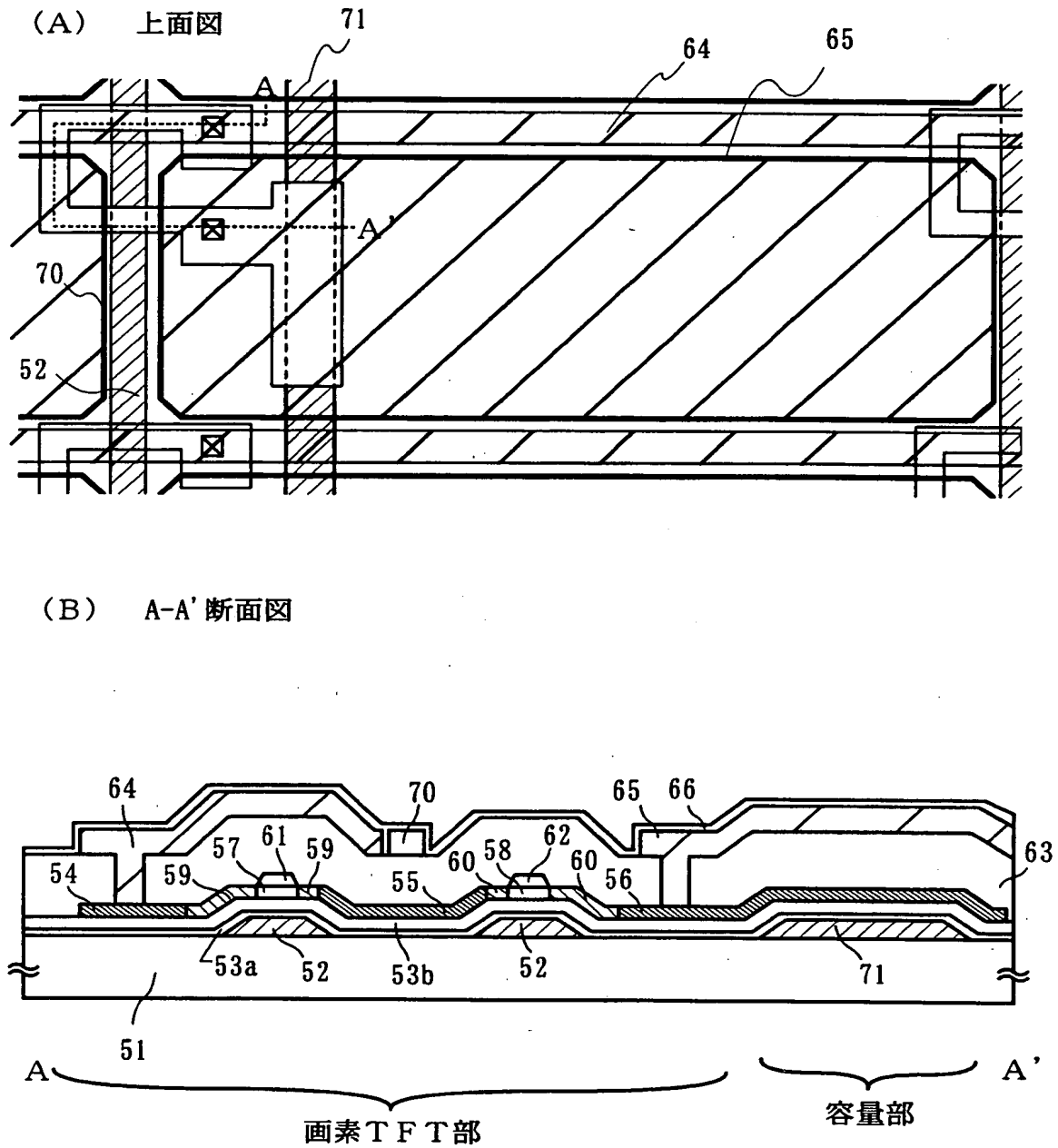


【図 8】

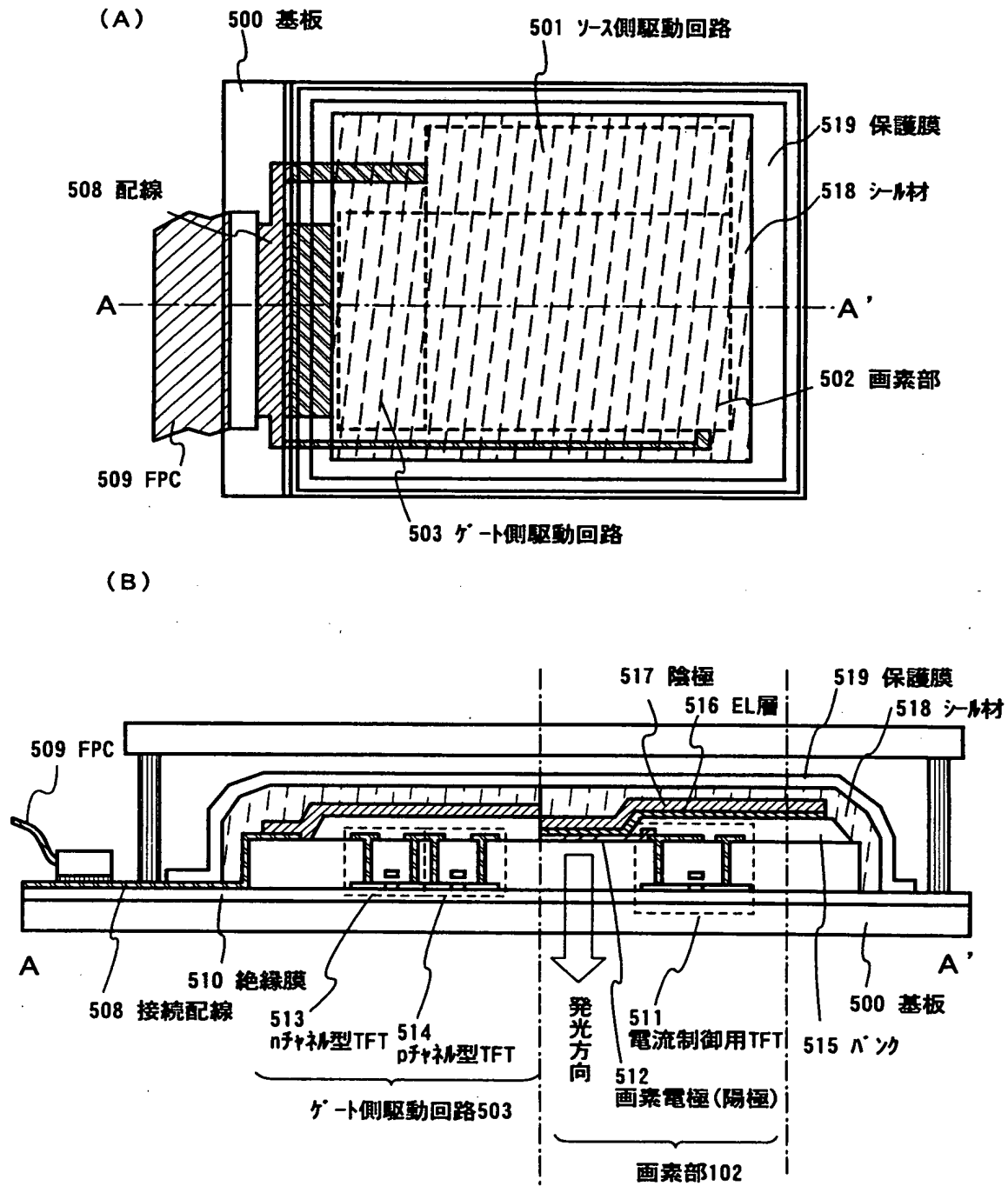


上面図

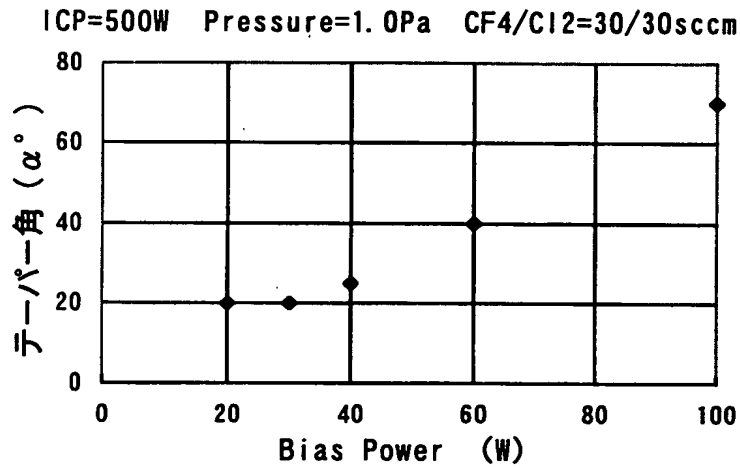
【図 9】



【図10】



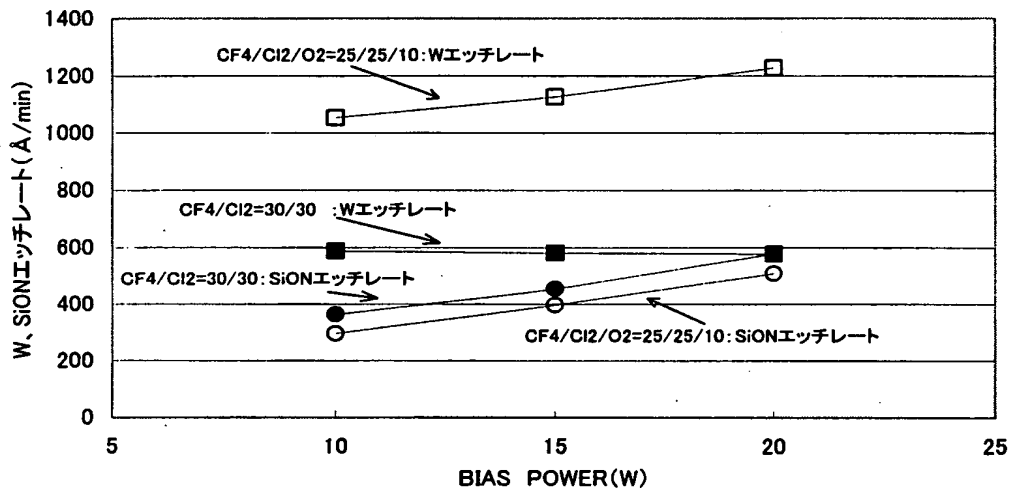
【図 1 1】



配線の断面形状（テーパー角 α ）のBias POWER依存性

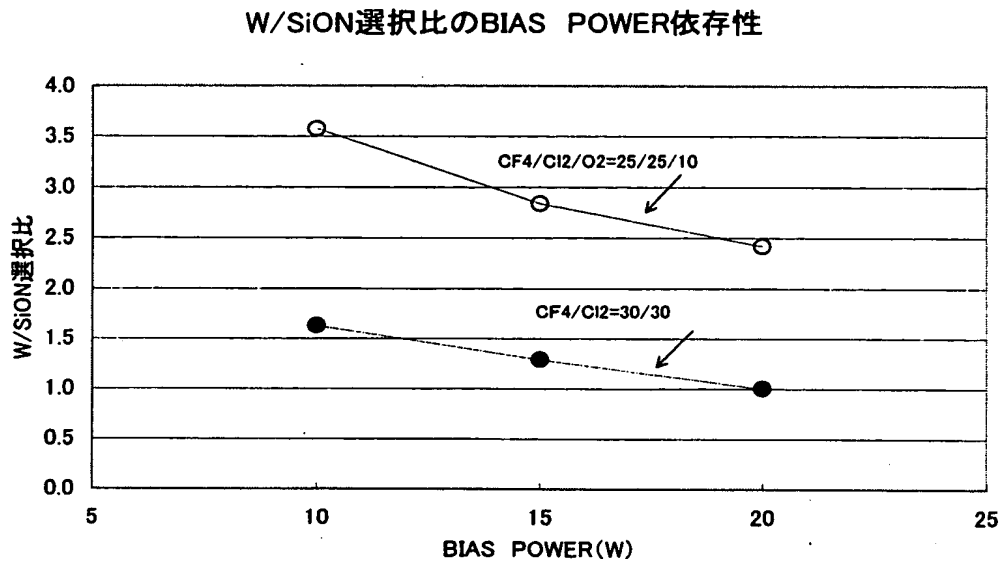
【図 1 2】

W、SiONエッチレートのBIAS POWER依存性



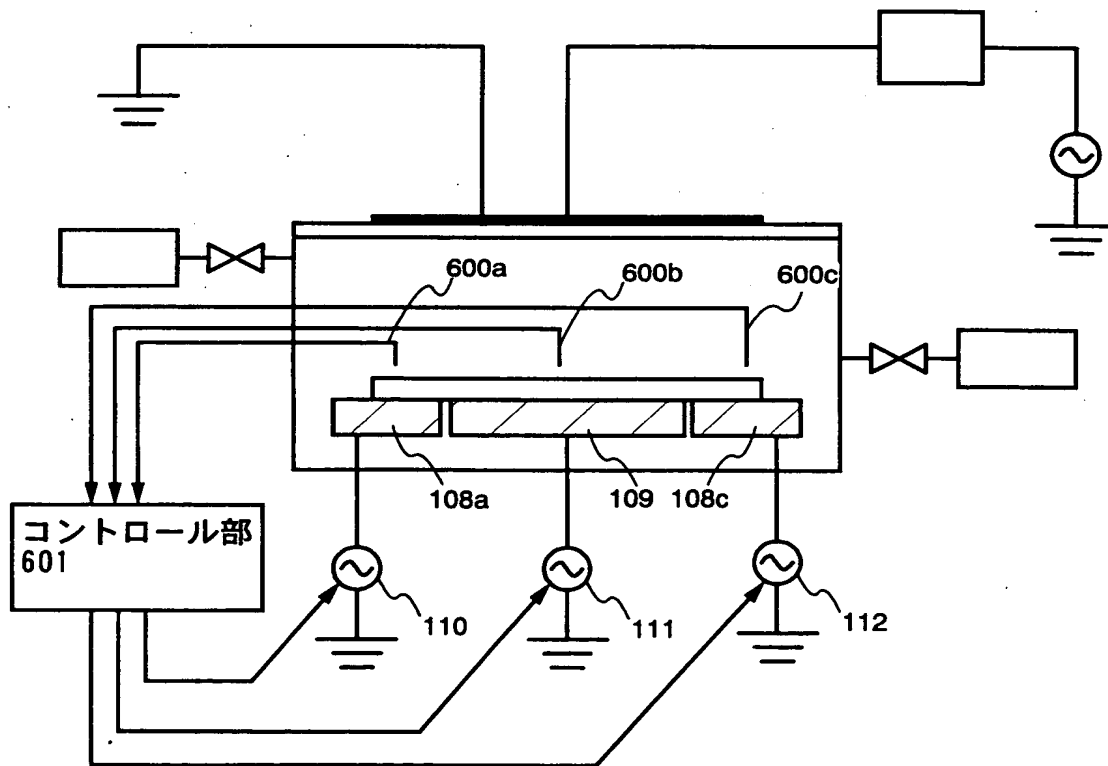
W、SiONエッチレートのBIAS POWER依存性のグラフ

【図 1 3】

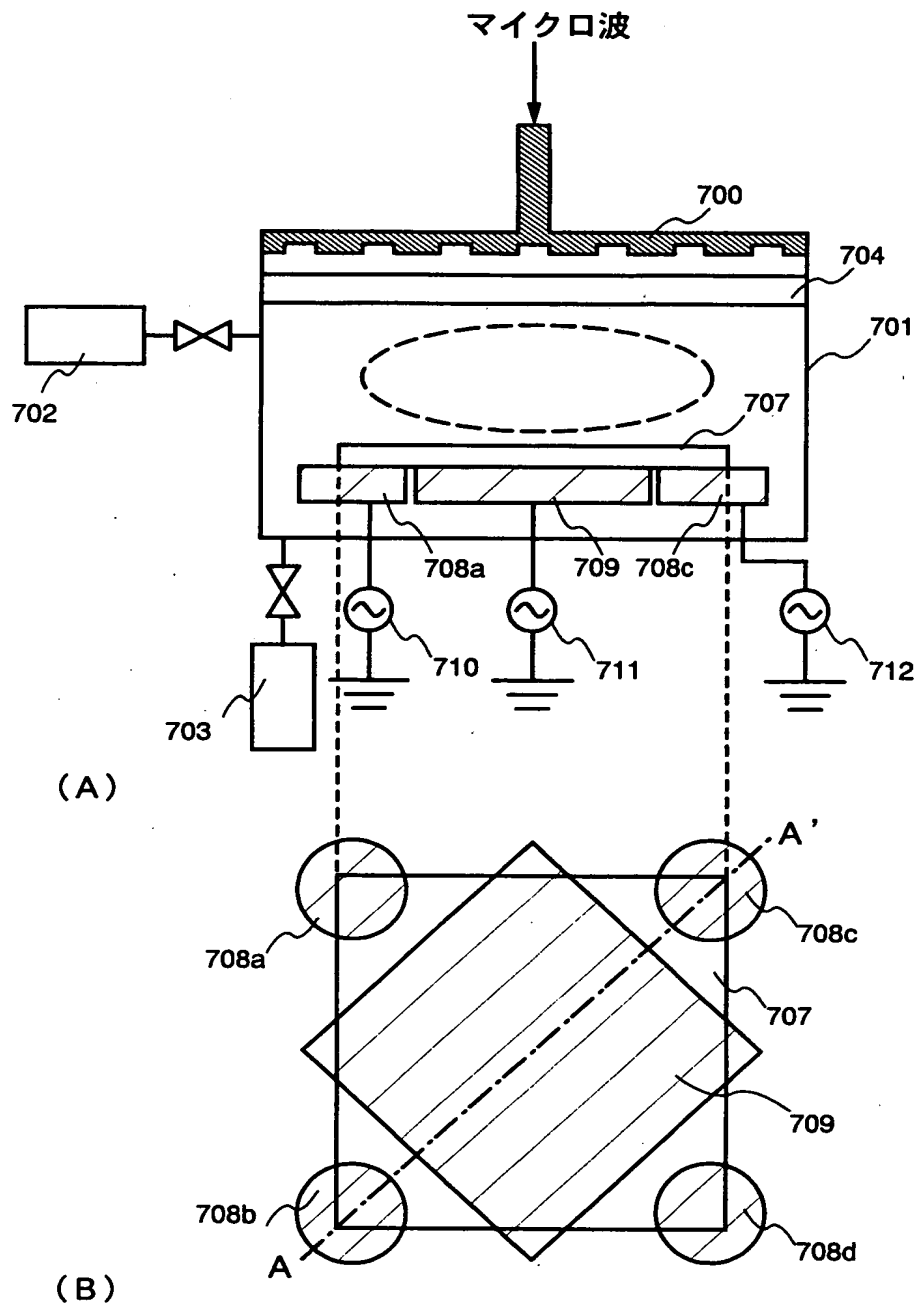


W/SiON選択比のBIAS POWER依存性のグラフ

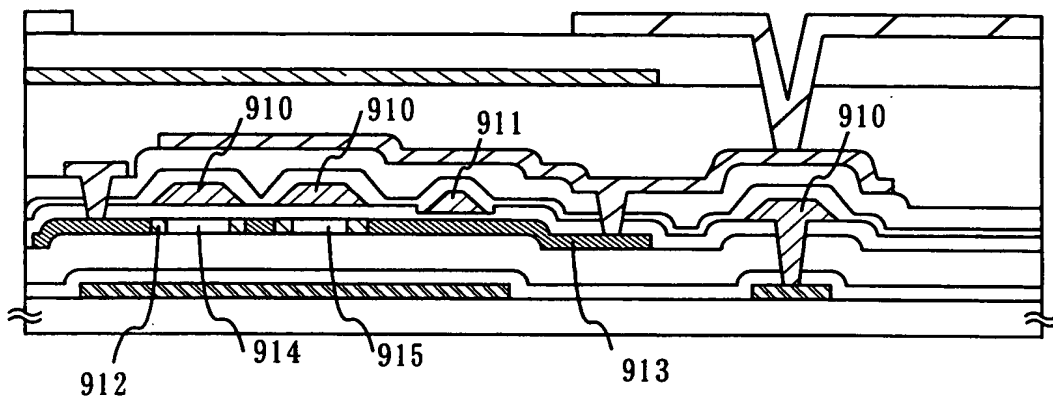
【図 1 4】



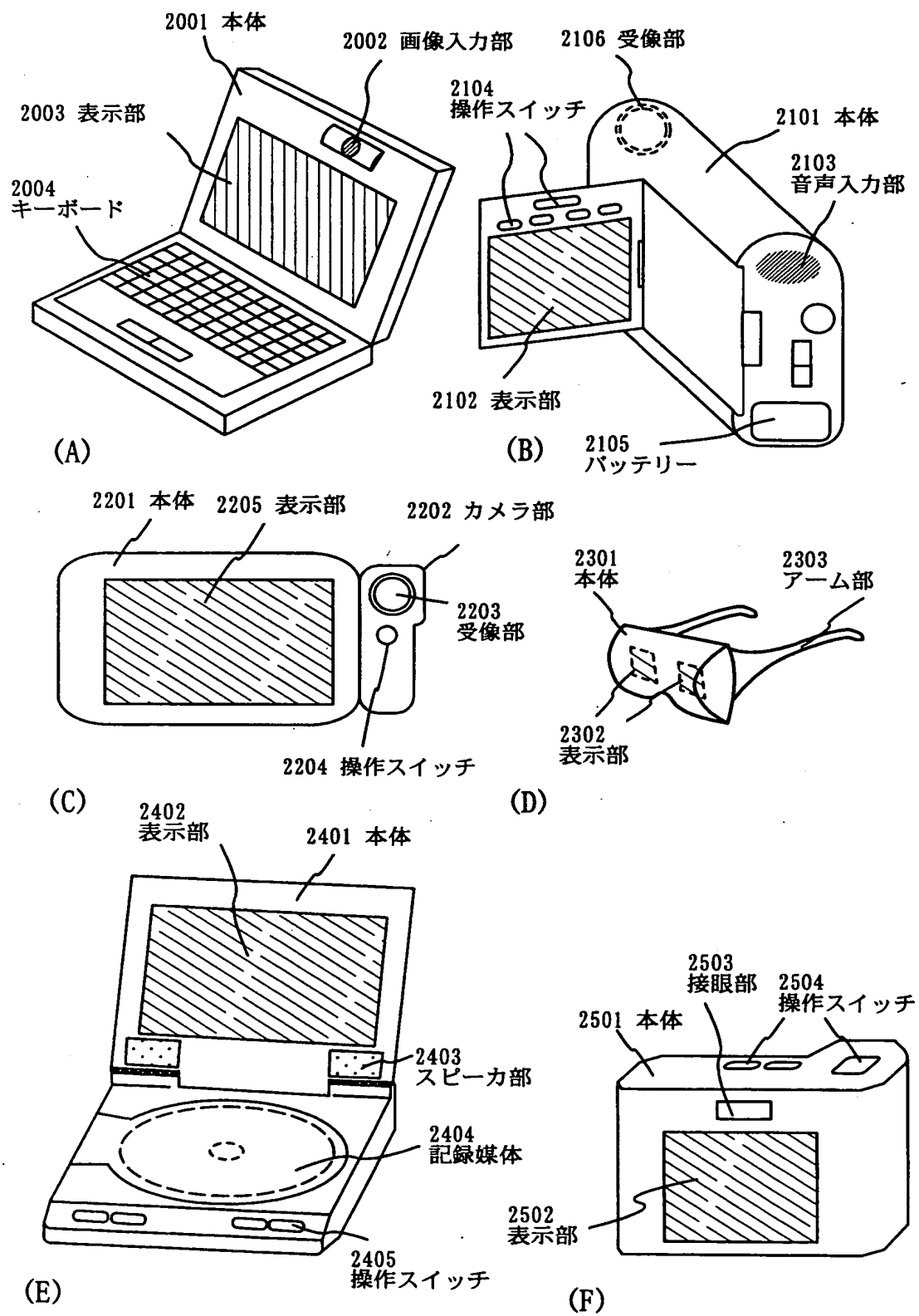
【図15】



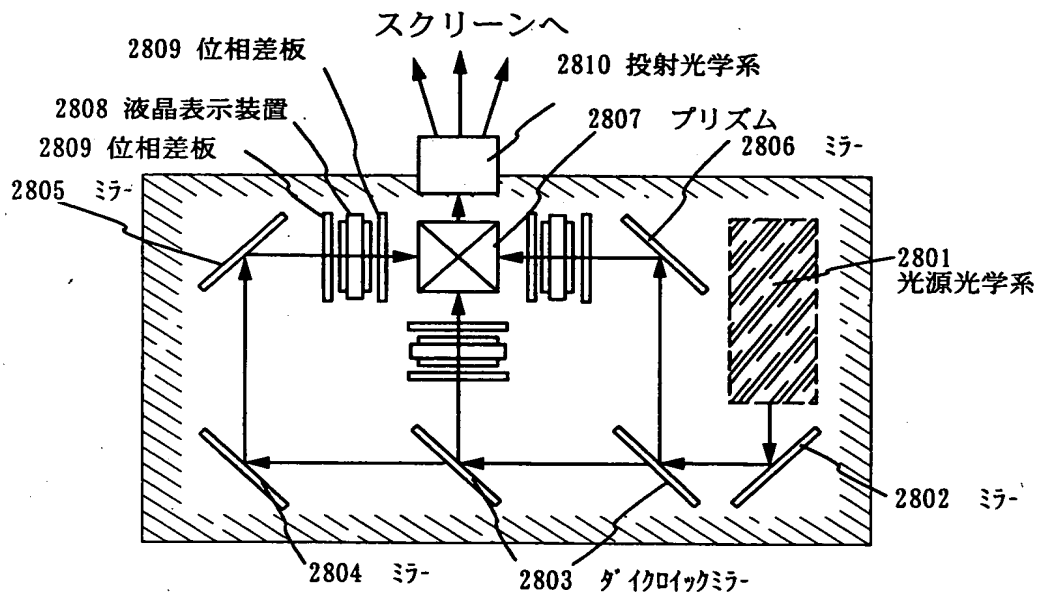
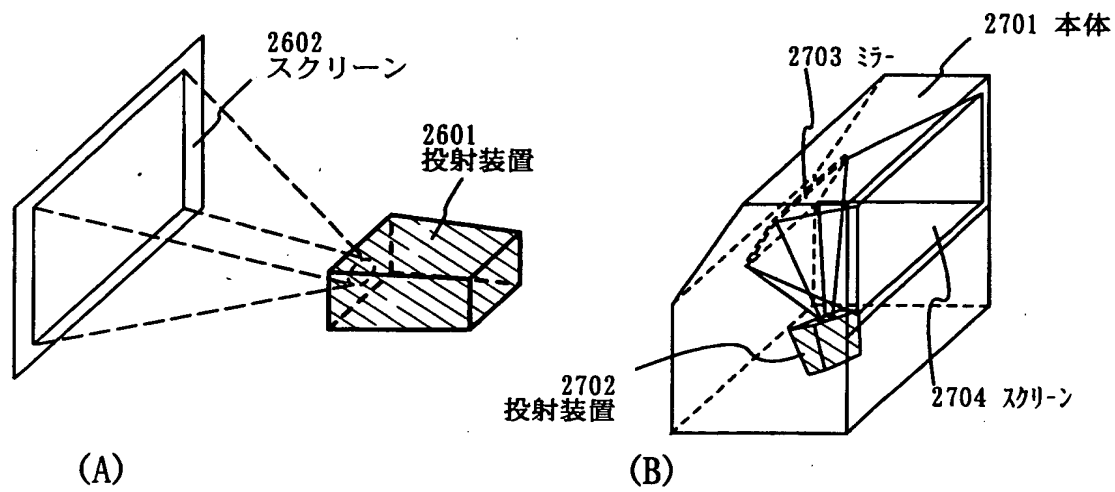
【図 1 7】



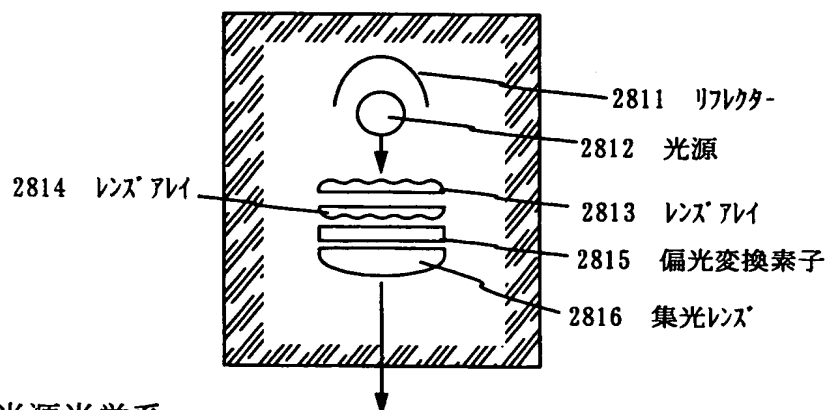
【図 18】



【図 19】

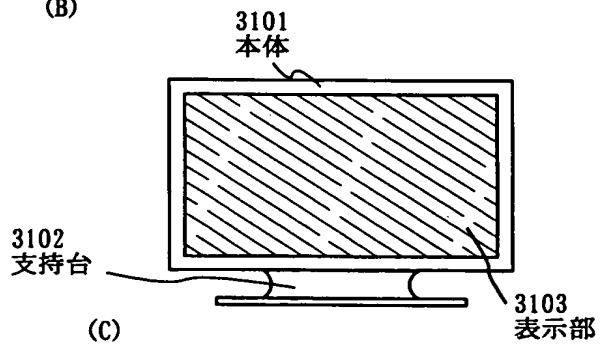
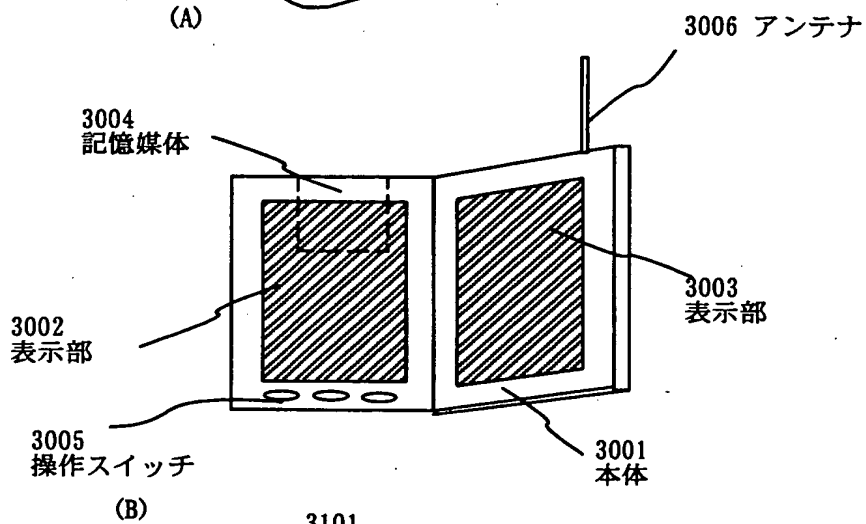
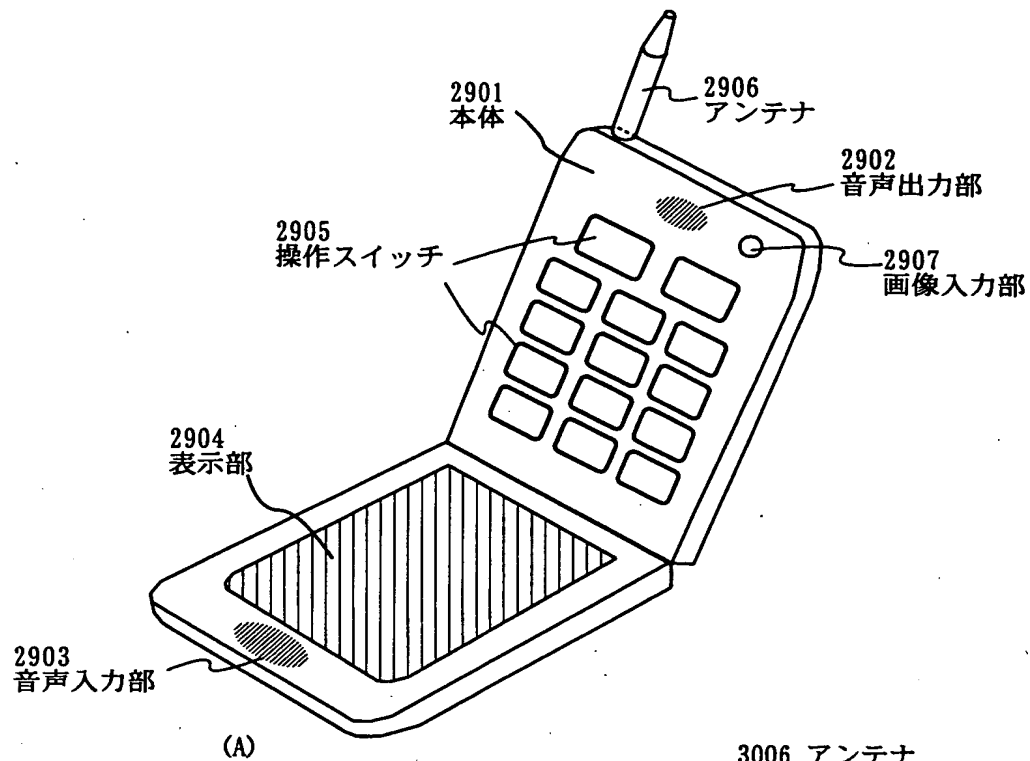


(C) 投射装置 (三板式)



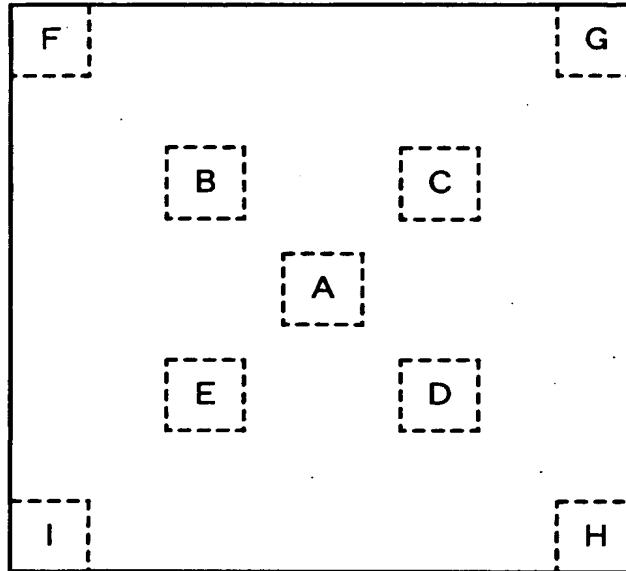
(D) 光源光学系

【図 2 0】



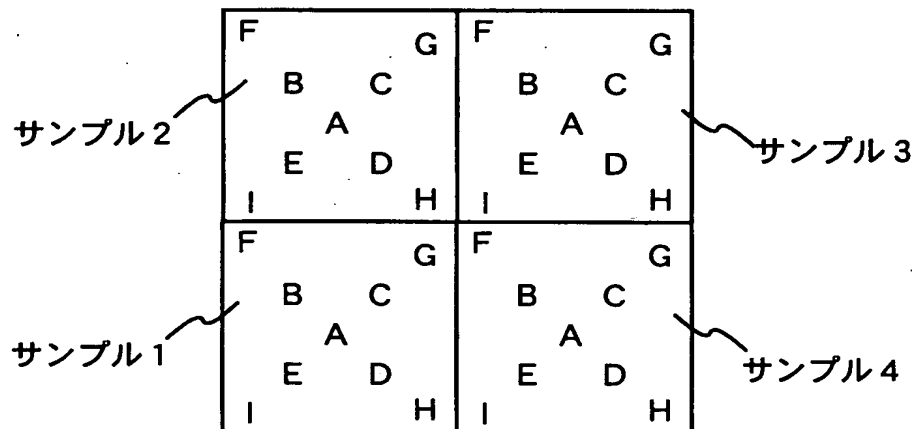
【図 2 1】

(A)



基板の測定ポイントを示す図

(B)



【書類名】 要約書

【要約】

【課題】 大型の基板を均一にエッチング処理することを課題とする。

【解決手段】 本発明は、基板 1 0 7 を配置する電極を複数の電極 1 0 8 a ~ 1 0 8 d、1 0 9 で構成し、その電極の数と同数の高周波電源を備え、各々を独立に接続させたエッチング装置を用いる。また、これら複数の電極のうち、基板の中心部の下方に配置された電極 1 0 9 に印加される高周波電力と、基板の角部の下方に配置された電極 1 0 8 a ~ 1 0 8 d に印加される高周波電力をそれぞれ制御することによってエッチングの面内均一性を高めることができる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000153878]

1. 変更年月日 1990年 8月17日
[変更理由] 新規登録
住 所 神奈川県厚木市長谷398番地
氏 名 株式会社半導体エネルギー研究所